

ГЛАВНЫЕ ПРОБЛЕМНЫЕ НАПРАВЛЕНИЯ В ОБЛАСТИ ОТЕЧЕСТВЕННОЙ ЭЛЕМЕНТНОЙ БАЗЫ СУПЕРКОМПЬЮТЕРОВ

Адамов А. А.¹, Фомин Д.В.², Эйсымонт Л.К.³

Аннотация: Рассмотрены пять первостепенных, по мнению авторов, направлений работ в области импортозамещения и развития электронно-компонентной базы для отечественных суперкомпьютеров и высокопроизводительных систем. Первые два направления наиболее приоритетные – это разработка процессоров-ускорителей типа GPGPU и для решения задач с интенсивной нерегулярной работой с памятью. Третье направление, второе по приоритетности, это разработка современных коммуникационных сетей с малым диаметром на многопортовых маршрутизаторах. Четвертое направление, которое сейчас активно разрабатывается, это быстрое создание проблемно-ориентированных СБИС на базе сложно-функциональных устройств в виде IP-блоков. Пятое направление – перспективное, относится к технологиям пост-Муровской эры, активизация исследований и разработок, ожидаемых в следующем десятилетии, но подготовка к которым должна начаться уже сейчас. Работы в рамках этого перспективного направления связаны с развитием функциональных непроцедурных языков обработки символьной информации, а также процессоров и суперкомпьютеров с отличной от фон-Неймановской архитектурой, реализуемых по КМОП-технологиям, а также технологиям сверхпроводниковой электроники и квантовых клеточных автоматов. По всем выделенным направлениям предполагается организация информационно-аналитической, учебной и исследовательской работы с целью подготовки в перспективе исходных данных для работы микроэлектронных подразделений предприятия.

Ключевые слова: графические процессоры, процессоры обработки сигналов, многотайловые процессоры, процессоры обработки графов, сети с малым диаметром на многопортовых маршрутизаторах, проблемно-ориентированные СБИС, функциональные непроцедурные языки, символьная обработка, квантовые клеточные автоматы, сверхпроводниковая электроника.

DOI: 10.21681/2311-3456-2019-4-02-12

1. Введение

Выделенные в статье пять направлений исследований и разработок в области отечественной элементно-компонентной базы (ЭКБ) для суперкомпьютеров (СК) и высокопроизводительных систем (ВС) рассматриваются как минимальный набор, по которым в сложившихся условиях надо незамедлительно предпринимать какие-то действия. Эти направления связаны как с решением проблем импортозамещения в области ЭКБ для СК и ВС, так и перспективным развитием в данной области с учетом происходящих в мире глобальных процессов перехода в течение предстоящего десятилетия от КМОП-технологий к пост-Муровским технологиям и соответствующим им архитектурам, микроархитектурам и схемотехнике [1, 2, 3].

Организация выполнения проектов по выделенным направлениям с адекватным бюджетным финансированием – сложный, требующий большого времени процесс, такая работа по некоторым из этих направлений ведется. Вместе с тем, поскольку необходимость выполнения работ по выделенным направлениям достаточна очевидна, то группой сотрудников предприятия была

проявлена инициатива начать информационно-аналитические, учебные и исследовательские работы заблаговременно, хотя бы в инициативном порядке. Руководство предприятия это поддержало.

Среди выделенных направлений самыми важными являются первые два:

1. Создание отечественного процессора-ускорителя, способного заменить в СК и ВС графические процессоры GPGPU фирмы NVIDIA [4] для решения научно-технических задач и других задач, требующих высокой производительности, но для которых характерна хорошая или средняя локализация обрабатываемых данных.

2. Создание отечественного процессора или процессоров для решения задач создания информационных систем обработки больших данных, а также задач искусственного интеллекта (глубокое обучение, обработка графов и другие), которые отличаются интенсивной нерегулярной работой с памятью (плохая и предельно плохая локализация данных), при этом требуя наличия высокой энергоэффективности [5, 6, 7, 8].

1 Адамов Андрей Анатольевич, кандидат экономических наук, Генеральный директор ЗАО «НТЦ «Модуль», г. Москва, Россия.

E-mail: a.adamov@module.ru

2 Фомин Дмитрий Викторович, заместитель Генерального директора ЗАО «НТЦ «Модуль» по Микроэлектронике, г. Москва, Россия.

E-mail: dfomin@module.ru

3 Эйсымонт Леонид Константинович, кандидат физико-математических наук, научный консультант ЗАО «НТЦ «Модуль», г. Москва, Россия.

E-mail: verger-lk@yandex.ru

Мотивация выбора этих направлений и остальных трех определяется не только потребностями страны как их видят авторы, но и следующими двумя факторами. С одной стороны, профессиональный уровень микроэлектронных подразделений предприятия на проектах разработки специализированных СБИС в последние годы значительно вырос. Например, это подтверждается выпуском наиболее производительной за последние годы СБИС в виде гибридного 21-ядерного микропроцессора NM6408MP (СБИС 1879VM8Я) [9] с архитектурой NeuroMatrix, который имеет хороший резерв модернизации [10]. Очевидно, что это говорит о возможности выхода на более широкие рынки СБИС, например, в области ЭКБ для СК и ВС. С другой стороны, разработка СБИС с большими возможностями требует новых проработок на архитектурном уровне, уровня системного и прикладного программного обеспечения. Этим видам работ даже в масштабах страны уделялось недостаточно внимания, эту ситуацию и решено попробовать исправить, хотя бы для начала на инициативной основе. Отметим, что работы такой направленности по инновационным архитектурам, за исключением, быть может, проекта суперкомпьютера стратегического назначения (СКСН) Ангара [11, 12, 13, 14], целенаправленно не велись и в стране. Практическим результатом проекта СКСН Ангара, остановленном, к сожалению, более 10 лет назад, оказалась лишь коммуникационная сеть Ангара [15]. Эта сеть и микропроцессоры Эльбрус являются на сегодняшний день двумя единственными изделиями отечественной ЭКБ для СК и ВС, причем реально используемой не только в СК, но и в ВС для разных систем, стационарных и мобильных.

В рассматриваемых научных работах по выделенным направлениям, также в инициативном порядке, предполагается участие сотрудников исторически сложившейся группы организаций – партнеров: ФГУП «НИИ «Квант», Институт прикладной математики им. М.В. Келдыша РАН, Институт системного программирования им. В.П. Иванникова РАН, ведущих университетов – МИФИ, МФТИ и СПбГПУ. Список участвующих сотрудников и организаций открыт.

2. Импортзамещение и развитие ЭКБ – вызовы 2017, 2018 и 2019 годов

Цель данного раздела – объяснить выбор выделенных пяти направлений, особенности которых и варианты выполнения возможных разработок в рамках этих направлений рассматриваются далее в разделе 3 данной работы.

В работе [2] по состоянию на 2017 год была проведена систематизация типов СК, создаваемых в мире, для каждого из этих типов была определена ЭКБ. Было показано, что наиболее чувствительное отставание – отсутствие отечественных процессоров-ускорителей типа современных GPGPU. Для класса отечественных СК ответственного применения, где требуется предельная производительность и энергоэффективность, была отмечена применяемая на практике стратегия реализации требуемых алгоритмов на зарубежных программируемых СБИС (FPGA), но как наиболее подходящий

вариант, отвечающий и мировым тенденциям, – разработка отечественных проблемно-ориентированных специализированных СБИС (ПОС-СБИС).

В работе [3] по состоянию на 2018 год отмечено, что отставание от мирового уровня по GPGPU не изменилось и не наблюдались попытки это изменить, а появившиеся в зарубежной ЭКБ новые изделия типа ПОС-СБИС, особенно китайского производства, подтвердили правильность сделанной год назад оценки по перспективности разработки ПОС-СБИС. Благодаря деятельности по ПОС-СБИС в мире появился новый класс востребованных обществом суперкомпьютеров в виде облачных суперкомпьютеров планетарного масштаба [19], превосходящих по производительности на выделенных классах задач на несколько порядков самые мощные стационарные суперкомпьютеры. Было отмечено, что в нашей стране, все-таки, также были разработаны заслуживающие внимания ПОС-СБИС, но при этом надо обратить особое внимание на разработку реконфигурируемых ПОС-СБИС, способных перестраиваться на выполнение разных алгоритмов выбранной предметной области.

В наступившем 2019 году можно констатировать появившиеся новые мировые вызовы и, к сожалению, мало меняющуюся ситуацию по работам в области ЭКБ для СК и ВС в нашей стране.

В мире проявились изменения в области актуальных прикладных задач для высокопроизводительных систем (нейровычисления, обработка графов, другие задачи искусственного интеллекта). Также произошло опережающее прогнозы развитие микроэлектронных технологий (вместо 2020 года предел 7 нм достигнут в 2018 году, в 2019 году – даже 5 нм). Оба этих явления повлияли на повышение активности создания новых по архитектуре и микроархитектуре компонентов зарубежной ЭКБ. Таким образом, задача импортзамещения ЭКБ для отечественных разработчиков соответственно усложнилась, наиболее заметно в области ЭКБ для СК типа Capacity Bandwidth (CB-класс) [2] для решения задач с интенсивной нерегулярной работой с памятью, отличающихся большими объемами памяти и рекордно высокой ее пропускной способностью.

В нашей стране недостаточная активность работ по импортзамещению ЭКБ для СК и ВС, отсутствие общей организации работ по суперкомпьютерным технологиям (это безрезультатно обсуждается уже более 15 лет), а также усиление санкций привели к достаточно сложной ситуации не только в области отечественного ЭКБ для СК, но и в области отечественных СК вообще, даже для СК кластерного типа, использующих зарубежную ЭКБ. Дополнительно, поскольку в мире стала заметной тенденция применения ЭКБ для СК в системах управления высокоточным оружием, особенно в подсистемах их видеообработки, то отставание по ЭКБ ожидаемо сказалось и в соответствующих отечественных разработках.

В силу сложившейся ситуации, первоочередные задачи импортзамещения [2,3] были расширены и сформулированы пять основных направлений, а ранее выделявшееся направление разработки ПОС-СБИС стало лишь одним из них.

3. Проблемные направления отечественной ЭКБ для СК и ВС

3.1 Разработка отечественного процессора – ускорителя типа GPGPU для научно-технических расчетов и других задач

В современных GPGPU зарубежного производства [4] применяются архитектурные методы многоядерности, массово-мультиядерной архитектуры и принципа выполнения одной команды над множеством данных. Такие устройства применяются для решения научно-технических задач с большой вычислительной емкостью, а также благодаря их высокой производительности, и для решения задач другого типа, от криптографических и нейровычислений до обработки графов. Хотя для этих задач лучше бы подошли по производительности ПОС-СБИС или специализированные процессоры, но применение GPGPU оказывается проще и для ряда приложений выгоднее.

Варианты разработки отечественного процессора-ускорителя такого типа детально рассмотрены в работе специалистов предприятия [16], здесь лишь отметим следующее.

Во-первых, пиковая производительность такого отечественного процессора-ускорителя оценивается к 2027 году не менее, чем в 15 Тфлопс на 64-х разрядной арифметике с плавающей точкой, или не хуже, чем в 10 раз большей, чем будет у микропроцессора Эльбрус к этому времени. Одновременно особое внимание при его разработке должно быть уделено достаточно эффективному решению задач на динамически изменяемых нерегулярных сетках, нейровычислениям и обработке графов, хотя для таких задач целесообразно разрабатывать процессоры с предельными показателями еще и в рамках второго из выделенных направлений (см. далее раздел 3.2).

Во-вторых, возможны следующие три варианта разработки такого отечественного процессора-ускорителя, которые не исключают друг друга [16].

Первый вариант – последовать исследовательскому проекту GPU Echelon фирмы NVIDIA [17] создания модернизированного, более однородного варианта GPGPU в виде большой системы на базе 64-х ядровых ядер. В этом варианте остались архитектурные принципы многоядерности и массовой мультиядерности. По этому варианту в АО «НИЦЭВТ» имеется задел в виде макета на FPGA 64-х ядрового микропроцессора J7 проекта СКРН Ангара [11, 12, 13, 14].

Второй вариант – китайский альтернативный GPGPU вариант, это разработанные в Университете оборонных технологий Китая (NUDT) процессоры-ускорители на базе DSP-процессора обработки сигналов типа GPDSP FT-Matrix2000 [18], FT-Matrix2000+ и FT-Matrix3000 для планируемого экзафлопсного суперкомпьютера Tianhe-3. Эти процессоры идейно сопоставимы с отечественным гибридным скалярно-векторным процессором NM6408MP [9], развитие его также возможно в сторону GPDSP, не только так, как было указано в [10].

Третий вариант – многоядровый микропроцессор архитектурного направления GreenDroid [19], получившего такое название вследствие потенциально дости-

жимой высокой энергоэффективности. Предлагается в каждом тайле такого процессора иметь 64-х ядровое ядро и статическую память объемом не менее 64 КВ, которое имеет интерфейсы для подключения нескольких сложно-функциональных ориентированных на некоторую выбранную предметную область устройств. Например, для нейровычислений или решения задач криптографии. Главная функция мультиядерного ядра такого тайла – обеспечение плотной загрузкой данных таких сложно-функциональных устройств. Такое решение более специализировано, чем первые два, но и обещает быть более производительным и энергоэффективным. Примеры такого подхода – высокопроизводительные ПОС-СБИС Antminer E3 [3], VM 1680 [3], Celerity [20]. В ЗАО «НТЦ «Модуль» эскизные варианты микроархитектурных схем мультиядерного ядра тайла имеются.

3.2 Разработка отечественного процессора или процессоров для решения задач с интенсивной нерегулярной работой с памятью среднего и сверхбольшого объема

Процессоры этого типа – базовые для СК СВ-класса. Их главная особенность – обеспечение нечувствительности (толерантности) развиваемой реальной производительности к задержкам выполнения команд обращений к памяти, которые могут составлять сотни и тысячи тактов процессора на задачах, в которых такие команды составляют большую часть, а адреса обращения их к памяти достаточно непредсказуемы, изменяются в больших пределах. По этим причинам в обычных процессорах на таких задачах становятся бесполезными кэш-памяти данных любого объема, бесполезны кэш-памяти дескрипторов страниц, значительные проблемы возникают из-за частых смен страниц виртуальной памяти в физической. Такая толерантность в процессорах этого типа обеспечивается двумя реализованными в них архитектурными приемами.

Первый прием – базовый архитектурный принцип, применяемый в таких процессорах, – массовая мультиядерность, гораздо большая, чем в GPGPU. При этом поддерживается отслеживание процессором большого количества выполняемых обращений к памяти, тысячи в сравнении с десятками в обычных процессорах. Это позволяет таким процессорам эффективно работать с памятью, обладающими повышенной пропускной способностью за счет возможности одновременного выполнения множества обращений [21].

Второй прием – особая организация подсистемы виртуальной памяти со сложным процессом трансляции виртуального адреса в физический, это требуется для работы с огромными объемами памяти, состоящими из множества физических ресурсов, но находящихся в едином адресном пространстве [13, 14].

Процессоры такого типа и системы на их основе (они получили название DIS-систем (Data Intensive Systems) появились около четырех десятков лет назад, а экспериментальные образцы и результаты их исследований стали заметны в 90-х годах прошлого столетия. Промышленные варианты от фирмы Cray с 128-ядерным микропроцессором Threadstorm появились в первом

десятилетия 2000-х годов и оказались достаточно популярными в среде пользователей, особенную активность в их исследовании проявляли специалисты Северо-западной Тихоокеанской Национальной Лаборатории США (PNNL) и Технологического института Georgia. Исследовались и варианты развития таких процессоров [23, 24]. В нашей стране вариант такого процессора разрабатывался в проекте СКЧН Ангара.

Вершиной этого десятилетия в США, по информации из экспертной среды, было создание подразделением MRF (Multiprogram Research Facility) Окриджской национальной лаборатории (ORNL) в рамках закрытой части программы DARPA HPCS гибридного суперкомпьютера Cray XT5h, который, кроме векторного суперкомпьютерного сегмента в виде Cray X2, включал еще сегмент с вычислительными узлами с FPGA, а также сегмент Cray XMT-4 с массово-мультитредовыми микропроцессорами Cray Scorpio, являющимися развитием микропроцессора Threadstorm (известно лишь, что в нем были введены дополнительно к мультитредовости операции над короткими и длинными векторами). Этот суперкомпьютер был установлен в разведывательном центре АНБ в штате Юта [25]. Также из экспертной среды известно, что аналогичные разработки были приняты в Китае и Японии для похожих центров.

Некоторое время, до середины текущего десятилетия, на рынке были и коммерческие варианты Cray XMT в составе специализированных вычислительных систем для анализа данных. Потом это направление не выдержало конкуренции по стоимости и производительности с обычными высокочастотными серийными процессорами. Другое объяснение – что было принято решение не выпускать такие изделия на обычный рынок.

После небольшого перерыва в последние несколько лет появились новые проекты создания процессоров такого типа, в которых проводится большая специализация. Основное внимание уделяется задачам с вычислениями над разреженными матрицами и задачам обработки графов [6, 7]. Это объясняется возросшей сложностью научно-технических задач, а также актуализацией задач обработки больших данных и искусственного интеллекта. Отметим следующие два направления работ.

Во-первых, в 2017 году был запущен американский проект DARPA HIVE [5] – разработка к 2021 году специализированного микропроцессора для работы с разреженными матрицами и графами. Этот микропроцессор должен быть в 1000 раз энергоэффективнее современных GPGPU, а по производительности немного превосходить современные GPGPU на таких задачах. Высока вероятность использования этого процессора в ударных беспилотных воздушно-космических аппаратах фирмы Northrop Grumman, поскольку эта фирма является интегратором данного проекта. Микроэлектронная часть проекта выполняется фирмами Qualcomm и Intel, а над архитектурой и системным программным обеспечением работают Технологический институт Georgia и PNNL, имеющие большой опыт работы с Cray XMT и его развитием. В части исследований по сравнению на бенчмарках этого процессора с GPGPU заняты Калифорнийский университет и Технологический

институт Georgia. Сведения по архитектуре процессора HIVE пока недоступны.

Во-вторых, в период 2018-2019 годов стали заметны активно развиваемые работы по процессорам обработки графов на базе 3D сборок модулей памяти со встроенными слоями кристаллов логической обработки – НМС-модулей. Разрабатываются не только новые архитектуры [8], но и новые алгоритмы разбивки графов для получения большей локализации данных при их обработке в высокопараллельных системах [26].

Результаты работ первого этапа по процессорам для DIS-систем типа Cray XMT или СКЧН Ангара могут быть использованы для построения вариантов GPGPU типа Echelon и соответствующего отечественного варианта GPGPU, актуальность этого отмечалась ранее.

Проблема создания отечественного процессора второго поколения типа, например, микропроцессора HIVE или, тем более, на базе НМС-модулей, пока в нашей стране не ставится, что удивляет, но должно быстро исправиться из-за резко набирающей популярность темы создания отечественных систем искусственного интеллекта. Эта область требует разработки не только нейропроцессоров, чем в настоящее время заняты многие организации в нашей стране.

Надо сказать, что похожая инертность осознания необходимости активизации работ в области DIS-систем была и у зарубежных коллег. Одной из мер преодоления этого стала организация в 2010 году рейтингового списка Graph500 на задаче BFS поиска вширь в графе [27]. Эта мера оказалась успешной – гонка за рекордные производительности началась сразу – уже через два года лучший результат был увеличен в 2330 раз, а результаты 3-5 места почти в 5000 раз.

Другая активность в области DIS-систем за прошедшее десятилетие – создание разных программных платформ обработки графов на обычном оборудовании, а также организация деятельности по их сравнению на бенчмарках, что способствовало усилению конкуренции этих платформ и развитию.

Дополнительно следует отметить одновременно организованный процесс стандартизации выполнения вычислений над разреженными матрицами и графами, в результате которого появилась стандартная библиотека GraphBLAS. Заметна также тенденция еще одной необычной стандартизации – сведения разных задач, даже обработки сигналов и задач глубокого обучения (нейровычислений), к задаче обработки графов.

Таким образом, как и в случае нейропроцессоров, проблематика обработки графов и создания для этого процессоров неизбежно придет в нашу страну, поэтому к этому надо готовиться – изучать выполняемые работы и проводить обучение молодых специалистов.

3.3 Многопортовый маршрутизатор межузловой коммуникационной сети с малым диаметром

Рассмотренные процессоры типа GPGPU и процессоры DIS-систем входят в состав вычислительных узлов (ВУ) СК и ВС. Взаимодействие ВУ при решении задач происходит через межузловую коммуникационную сеть (МКС), образованную сетевыми маршрутизаторами.

Единственная отечественная МКС Ангара [15] основана на алгоритмах функционирования сетей с топологией N-тор конца 90-х – начала 2000-х годов [28, 29]. Изучение этих алгоритмов и ознакомление с ними коллег было инициировано одним из авторов данной работы в 2004 году, а их отработку на моделях провели далее специалисты ИПМ им. М.В. Келдыша РАН. После этого инженеры АО «НИЦЭВТ» успешно довели эту разработку до промышленного образца, пройдя при этом этапы макетирования на FPGA, разработку собственно СБИС маршрутизатора и разного типа сетевых кабелей. Таким образом, процесс создания этой сети, включая и настройку на нее библиотеки MPI взаимодействия процессов, занял около 10 лет.

Главный недостаток сетей с топологией N-тор – зависимость от количества вычислительных узлов сети пройденных соединений «точка-точка» между маршрутизаторами сети (нор-ов) для сильно удаленных друг от друга узлов. Это значительно снижает развиваемую реальную производительность при решении задач, чувствительных к задержкам передачи сообщений между узлами.

Современные зарубежные промышленные сети на многопортовых маршрутизаторах [30, 31, 32, 33] этого недостатка лишены. Любая передача сообщений занимает обычно не более 3-х нор-ов. Пора начать изучение алгоритмов функционирования таких сетей, их моделирование и запустить работы по созданию быстрых и компактных сериализаторов/десериализаторов, которых потребуется до нескольких десятков на кристалле одного маршрутизатора. Отметим, что упомянутые сети также уже устаревают, уже объявлено о сетях нового поколения, которые появятся в СК семейства Shasta фирмы Cray, а также ведутся работы над экзотическими оптическими сетями.

Таким образом, останавливаться на сети Ангара, включая ее планируемые новые поколения, не следует. Путь к новой сети, как выяснилось, по времени не такой короткий.

3.4 Создание технологии быстрой разработки высокопроизводительных и энергоэффективных проблемно-ориентированных СБИС на базе создаваемой библиотеки IP-блоков и системы автоматизированной крупноблочной сборочной технологии

Предлагается развитие ПОС-СБИС [2, 3] на базе большой библиотеки IP-блоков, которая бы включала, например: мультитредовые ядра разного типа (вычислительные или доступа к виртуальной памяти со сложной организацией); процессорные ядра с малым и сверхмалым энергопотреблением; разнотипные специализированные функциональные устройства для операций из разных прикладных областей; разного типа внутрикристалльные сети. Примеры наборов сложно-функциональных устройств, что наиболее интересно в рамках этого направления, – криптографическая американская СБИС Cryptoraptor [34], китайская криптографическая СБИС Crypto VLIW [35], американский нейропроцессор Celerity [20].

Работы этого направления также предполагают создание автоматизированных систем быстрой компонов-

ки ПОС-СБИС с заданными свойствами на базе библиотеки IP-блоков. Американский проект разработки СБИС по такой методике – DARPA CRAFT [37]. Имеются и отечественные разработки автоматизированных систем такого типа специалистов ФГУП «НИИ «Квант».

Роль специалистов ЗАО «НТЦ «Модуль» в рамках данного направления – по крайней мере, разработка качественных реализаций IP-блоков. Опыт таких разработок имеется – есть 35 IP-блоков различной сложности, большая часть из которых опробована в кремнии.

3.5. Исследования по технологиям пост-Муровской эры суперкомпьютеров

Работы данного направления нацелены на перспективу в десять лет и имеют фундаментальный характер, что отмечалось ведущими в мире специалистами достаточно давно [44]. Однако отдельные элементы, в частности, программная система на базе языка обработки символьной информации Рефал, может быть применена и в настоящее время для сверхбыстрой разработки компиляторов и Ассемблеров, исследовательских имитационных моделей процессоров. Эта технология успешно применялась ранее и не утратила актуальности [45].

В целом, это направление в архитектурном плане можно рассматривать как следующий уровень обобщения создания процессоров обработки графов, поскольку математическая основа системы команд таких процессоров – это уже не операции над разреженными матрицами, а целый функциональный язык для обработки графов с фрагментами в виде древовидных символьных строк и в основе своей без побочных эффектов выполнения функций. Особое значение также имеет способ описания функций, что в разных известных языках делается по-разному, но авторы считают наиболее удачным решением использование правил подстановки, как это сделано в отечественном языке Рефал и похожем на него американском языке AMBIT [38].

3.5.1 Архитектура не фон-Неймановского суперкомпьютера функционального типа с внутренним языком высокого уровня, глубоким автоматическим распараллеливанием и локализацией программ и данных

Функциональные языки первого поколения Лисп, Рефал и AMBIT, а именно они интересны как наиболее простые и поэтому реальные кандидаты для выбора в качестве внутреннего языка процессора не фон-Неймановского типа, возникли в конце 60-х годов и были наряду с позднее появившимся французским языком Пролог наиболее популярны в 80-х годах прошлого столетия, применялись при составлении программ решения сложных задач обработки нечисловой (символьной, списковой) информации, включая задачи искусственного интеллекта.

Язык Рефал был создан в нашей стране одним из ведущих теоретиков по ядерной физике Турчиным В.Ф. Изначально язык позиционировался как метаязык описания результатов физических экспериментов и программ извлечения знаний из них для построения новых

физических теорий. Однако первые практические применения были связаны с автоматизацией аналитических выкладок и разработкой компиляторов языков высокого уровня. Этот язык считается наиболее удачной разработкой советских времен в области информационных технологий, причем высоко оцененной в мире.

Простота применения этого языка позволяла концентрироваться при разработке компиляторов на решении очень сложных, порой экзотических, содержательных задач при освоении новых процессоров с достаточно необычной архитектурой. Наиболее знаковые разработки: разработка компилятора языка ПСИ-Фортран для бортового компьютера космического корабля многоразового использования «Буран» (1983-1986 годы) и языка СЗ-Фортран (1985-1986 год) для бортовых машин тяжелой ракетной техники [40, 41, 45]; разработка компилятора языка ПАРС для СК Булат-2 с массовым параллелизмом (1989-1991 год), который был похож на американский ассоциативный процессор STARAN, но вместе с тем, обладала рядом уникальных усовершенствований (уникальность и стратегическая важность этого суперкомпьютера подтверждается тем, что его разработчикам была присуждена Ленинская премия, последняя в СССР); разработка компиляторов языков Модула-2 и Си для СК Булат-3 (1992-1996 год).

Характерно, что задачи символьной обработки достаточно неудобны при реализации на машинах с обычной архитектурой. Это связано с тем, что из-за интенсивной работы со списковой памятью оказывается низкой локализация адресов обращений (нерегулярность обращений), что отрицательно сказывается как при работе с кеш-памятями, так и при работе со страницами виртуальной памяти. При этом такие задачи обычно требуют больших объемов памяти, поэтому велика вероятность возникновения листания с дисков.

Перечисленные особенности работы со списковой памятью, требуемая оптимизация работы с элементами списковой памяти, связанная с многочисленными проверками специальных теговых полей элементов списков, оптимизация вызовов функций – все это привело к появлению в 80-х годах специализированных символьных процессоров [42].

Промышленный выпуск символьных процессоров для языка Лисп был начат в США и Японии в первой половине 80-х годов, освещался в литературе до начала 90-х годов. Наиболее известные разработки: Symbolics 3600 фирмы Symbolics; Alpha фирмы Fujitsu; Explorer фирмы Texas Instruments; SM 45000 фирмы Integrated Inference Machines (эта машина поставлена Эймскому исследовательскому центру НАСА для использования в проектах создания интеллектуальной системы управления международной космической станцией и воздушно-космическим кораблем); лисп-микропроцессоры фирмы Texas Instruments (исключительно для военного использования), фирмы Symbolics – Ivory, фирмы Xerox – Xerox 1100.

Появление в 90-х годах промышленных суперскалярных универсальных высокопроизводительных микропроцессоров (CPU) фирм Intel, AMD и IBM снизило актуальность разработки символьных процессоров, т.е. они просто не выдержали конкуренции. В настоящее время,

как было видно из предыдущих разделов, ситуация меняется в обратную сторону, в силу ограничений развития CPU за счет только развития микроэлектронных технологий оказались опять востребованы именно специализированные процессоры-ускорители. Однако, что касается символьных процессоров, то на современном этапе надо учитывать особенности фундаментального характера.

В случае языка Рефал на этом общем фоне ситуация выглядит достаточно необычно из-за его уникальных свойств. Дело в том, что кроме его поразительных возможностей как средства разработки сложных программ обработки символьной информации, специалисты ИПМ им. М.В. Келдыша РАН, в стенах которого и использовался этот язык для разных проектов, в середине 70-х годов рассмотрели еще одно его уникальное применение – стать основой внутреннего языка (т.е. системой команд) перспективного функционального суперкомпьютера с отличной от фон-Неймановской архитектурой. Надо отметить, что впоследствии, но имея ввиду другой функциональный язык, Джон Бэкус, автор языка Фортран, в своей знаменитой лекции по поводу присуждения ему премии имени Тьюринга (в информатике – это почти Нобелевская премия), также обозначил проблему создания такого компьютера [44].

Базовые свойства языка Рефал, позволявшие в то время сделать такой вывод о функциональном компьютере: *функциональность*, любые действия выполняются в результате выполнения обращений к функциям, в основном без побочных эффектов, это основной источник практически неограниченного автоматического *крупнозернистого* распараллеливания программ в процессе их выполнения; *непроцедурность*, функции описываются правилами подстановок типа как в алгоритмах Маркова, левая часть каждого правила описывает вид аргумента, к которому правило применимо, а правая часть правила – вид результата выполнения функции в данном случае; *естественная локализация* обрабатываемых данных в виде аргументов функций и выполняемых для них правил описания этих функций.

Наиболее важным результатом наряду с текущими работами по разработке обычных последовательных вариантов символьного процессора для языка Рефал [43], была разработка перспективной схемы его реализации на одномерных клеточных автоматах некоторого типа, обеспечивающая *мелкозернистое* распараллеливание выполнения собственно функций в части сопоставления левых частей их правил с аргументами и генерации результатов функций по правым частям этих правил [39, 45].

Перспективные схемы реализации языка Рефал на клеточных автоматах намного опережали время, реализовать это было тогда невозможно. Интересно отметить, что один из опытных коллег дал тогда оценку, что время этих схем настанет не раньше, чем лет через 40. Полагаем, что в настоящее время как раз и настал момент возобновления этой работы, однако сразу надо понимать, что эти работы потребуют еще значительного времени до получения практического результата.

Современные возможности реализации упомянутых перспективных схем достаточно обширны, от КМОП массово-мультитредовых процессоров до процессоров

на сверхпроводниковой электронике [46] или квантовых клеточных автоматах (QCA) [47], этому посвящена вторая часть рассматриваемого направления работ по технологиям пост-Муровской эры.

3.5.2 Архитектура, микроархитектура и новая схемотехника процессоров и компонентов суперкомпьютеров на базе сверхпроводниковой технологии

Отечественные работы по сверхпроводниковой электронике и квантовым компьютерам ведутся отечественными физиками на уровне разработки технологий и исследования явлений. Предлагаются схемотехнические решения создания простых элементов типа сдвиговых регистров, сумматоров и умножителей. Однако системного подхода, как в проекте IARPA C3 создания суперкомпьютера на базе сверхпроводниковых технологий (IARPA – управление перспективных исследований разведсообщества США) [46], не наблюдается.

Также нет информации о выполнении отечественных работ в области создания устройств на базе квантовых клеточных автоматов (QCA). Тем не менее, об американских, западноевропейских, японских и китайских работах в данной области известно из опубликованных статей, а также более впечатляющая информация о готовности этих технологий для создания зетта- и йотта-суперкомпьютеров поступает из мировой экспертной среды.

Общим явлением для этих исследований стало то, что среди специалистов начало формироваться мнение, что не только QCA-технологии, но и изделия на сверхпроводниковой электронике потребуют отхода от обычной схемотехники и микроархитектуры в сторону клеточных автоматов. По этой причине разработанные схемы для функционального процессора на базе одномерных клеточных автоматов [39, 45] могут быть рассмотрены как один из вариантов для реализации на базе этих пост-Муровских технологиях.

4. Заключение

Выделенные направления работ по ЭКБ для СК и ВС авторами рассматриваются как направления информационно-аналитической, учебной и индивидуальной исследовательской деятельности в среде молодых специалистов ЗАО «НТЦ» Модуль» и организаций-партнеров в промышленности, а особенно в РАН. Полагаем, что эти направления и их мотивацию целесообразно рассмотреть экспертам соответствующих комиссий и советов в промышленности и РАН с целью учета при формировании комплексных научно-технических программ (КНТП) по развитию цифровой экономики страны, цифровому прорыву.

Литература

1. Vetter J.S., DeBenidictis E.P., Conte T.M. Architecture for the Post-Moore Era // IEEE Micro special issue, July/August 2017, p.6-8.
2. Эйсымонт Л.К. Гибридная стратегия развития элементной базы // Открытые системы, N2, 2017. <https://www.osp.ru/os/2017/02/13052216/>
3. Эйсымонт Л.К. Настраиваемые специализированные СБИС – реальная основа создания будущих экзамасштабных суперкомпьютеров, зарубежный и отечественный опыт // Системы высокой доступности, 2018, т.14, №3, стр.18-27.

5. Выводы

1. Новые вызовы 2019 года потребовали расширить перечень работ по импортозамещению в области ЭКБ для СК. В связи с этим, были сформулированы пять главных направлений, ранее выделенное направление создания проблемно-ориентированных СБИС – лишь одно из них. Некоторые компоненты ЭКБ для СК стали востребованы в системах управления перспективных отечественных боевых дронов.
2. Выделенные пять направлений имеют разную приоритетность, первостепенное по значимости направление – разработка аналога и/или альтернативного варианта GPGPU. Определены три варианта решения: универсальный однородный массово-мультиредовый (типа GPGPU Echelon); скалярно-векторный GPDSP; многотайловый с мультиредовыми ядрами в тайлах и подключенными к ним сложно-функциональными блоками (подход GreenDroid).
3. Сформировались две важные области прикладных задач. Первая, общепризнанная по актуальности, – создание систем с глубоким обучением (нейроалгоритмы). Вторая, стремительно набирающая актуальность и в перспективе которая явно будет фундаментальной, – создание масштабируемых систем обработки больших графов. Это должно быть учтено при разработке отечественной ЭКБ для СК.
4. Требуется изучения и анализа новые направления, хотя пока с меньшим приоритетом: коммуникационные сети новой топологии с малым диаметром (внутрикристалльные и межузловые); архитектура, микроархитектура и схемотехника систем пост-Муровской эры.
5. Возможна следующая организация работ по выделенным пяти направлениям:
 - 5.1. Незамедительно, без ожидания решений со стороны государственных структур, начать процесс обучения молодых специалистов в виде межведомственных семинаров на базе ЗАО «НТЦ «Модуль».
 - 5.2. Организовать выполнение НИР-ов хотя бы на уровне аспирантов и соискателей с обеспечением возможности публикаций результатов и последующей защиты диссертаций. Подготовить предложения в профильные министерства и институты развития по постановке НИ-ОКР в части разработки перспективных СБИС для поддержки режима обучения и решения задач на глубоких сверточных нейросетках.
 - 5.3. Особое внимание уделить информационно-аналитической работе по выделенным направлениям.

4. Durant L. [et al.] Inside Volta: The World's Most Advanced Data Center GPU, 10 may 2017, <https://devblogs.nvidia.com/parallelforall/inside-volta/>
5. Broad Agency Announcement Hierarchical Identify Verify Exploit (HIVE) Microsystems Technology Office DARPA-BAA-16-52 August 2, 2016, 50 pp.
6. Song W.S., Gleyzer V., Lomakin A., Kepner J. Novel Graph Processor Architecture, Prototype System, and Results // 2016 IEEE High Performance Extreme Computing Conference, 22 July 2016, 7 pp, <http://arxiv.org/abs/1607.06541>
7. Song W.S. Processor for large graph algorithm computations and matrix operations // US Patent No 9,529,590 B2, Dec 27, 2016.
8. Dai G. [et al.] GraphH: A Processing-in-Memory Architecture for Large-scale Graph Processing // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol 38, №4, April 2019, p.640-653, <https://cseweb.ucsd.edu/~jzhao/files/GraphH-tcad.pdf>
9. Эйсымонт А.Л., Черников В.М., Черников Ан.В., Черников Ал.В., Косоруков Д.Е., Насонов И.И., Комлев А.А. Гетерогенная многопроцессорная система на кристалле с производительностью 512 Gflops // Системы высокой доступности, 2018, т.14, №3, стр.49-56.
10. Черников В.М., Вискне П.Е. Перспективы повышения характеристик и расширения областей применения транстерафлонских СБИС семейства NeuroMatrix // Системы высокой доступности, 2018, т.14, №3, стр.28-34.
11. Слуцкий А.И., Эйсымонт Л.К. Российский суперкомпьютер с глобально адресуемой памятью // Открытые системы, №9, 2007, с. 42-51. <http://www.osp.ru/os/2007/09/4569294/>
12. Митрофанов В.В., Слуцкий А.И., Эйсымонт Л.К. Суперкомпьютерные технологии для стратегически важных задач // Электроника: НТБ, №7, 2008, с. 66-79.
13. Семенов А.А., Соколов А.А., Эйсымонт Л.К. Архитектура глобально адресуемой памяти мультитредово – потокового суперкомпьютера // Электроника: НТБ, №1, 2009 г., с. 50-56.
14. Митрофанов В.В., Эйсымонт Л.К. Элементарная база и архитектура высокопроизводительных мультипроцессорных вычислительных систем, перспективных стратегических и встроенных суперкомпьютеров // В сб. «Динамика радиоэлектроники», 2 выпуск. Под ред. Борисова Ю.И. ISBN: 978-5-94836-195-6. Издательство: М.: Техносфера, 2008.стр.70-76
15. Жабин И., Макагон Д., Симонов А., Сыромятников Е., Фролов А, Щербак А. Кристалл для «Ангары» // Суперкомпьютеры, №4 (16), 2013, стр.46-49.
16. Адамов А.А., Павлухин П.В., Биконов Д.В., Эйсымонт А.Л., Эйсымонт Л.К. Альтернативные современным GPGPU перспективные универсальные и специализированные процессоры-ускорители // Вопросы кибербезопасности, номер 4, 2019, стр 13–21.
17. Oreste W. [et al.] Scaling the Power Wall: A Path to Exascale // Supercomputing Conference (SC14), November 16-21, 2014, 12 pp.
18. Chao Y. [et al.] A Novel DSP Architecture for Scientific Computing and Deep Learning // IEEE Access, Vol 7, April 2, 2019, pp 36413-36425.
19. M.Khazraee, L.V.Gutierrez, I.Magaki, M.B.Taylor. Specializing a Planet's Computation : ASIC Clouds. // IEEE Micro, May/June 2017, pp. 62-69.
20. Ajavi T. [et al.] Experiences Using the RISC-V Ecosystems to Design an Accelerator-Centric SoC in TSMC 16 nm // First Workshop on Computer Architecture Research with RISC-V. August 2017. 6 p.
21. Konecny P. Introducing the Cray XMT // Cray User Group 2007 Proceedings, 5 pp.
22. Kopsler A., Vollrath D. Overview of the Next Generation Cray XMT // Cray User Group 2011 Proceedings, 10 pp
23. Villa O. [et al.] Fast and Accurate Simulation of the Cray XMT Multithreaded Supercomputer // IEEE Transactions on Parallel and Distributed Systems, 13 Feb 2012, 9 pp.
24. Timeo S. [et al.] Designing Next-Generation Massively Multithreaded Architectures for Irregular Applications // COMPUTER, August 2012, pp.53-61
25. Bamford J. The NSA is building the country's biggest spy center (watch what you say) // <https://www.wired.com/2012/03/ff-nsadatacenter/>
26. Lakhotia K. [et al.] GPDP: A scalable cache- and memory- efficient framework for Graph Processing Over Partitions, 2019, 12 pp.
27. Эйсымонт Л., Фролов А., Семенов А. Graph500: адекватный рейтинг // Открытые системы, №1, 2011.
28. Scott S., Thorson G. The Cray T3E Network: Adaptive Routing in a High Performance 3D Torus // Hot Chips 4, Stanford, CA, Aug. 1996, 10 pp.
29. Adiga N.R. [et al.] Blue Gene/L torus interconnection network // IBM J.RES. & DEV., Vol.49, № 2,3, March/May 2005, pp.265-276.
30. Kim J., Dally W.J. [et al.] Microarchitecture of a high-radix router // Proc. of the International Symposium on Computer Architecture (ISCA), 2005, pp. 420–431.
31. Scott S., Abts D., Kim J., Dally W.J. The BlackWidow High-radix Clos Network // Proc. of the International Symposium on Computer Architecture (ISCA), 2006, pp. 16–28.
32. Arimilli B. [et al.] The PERCS High-Performance Interconnect // 18th Symposium on High Performance Interconnects, 2010, pp.75-82.
33. Alverson B. [et al.] Cray XC Series Network // White Paper, Cray Inc., 2012, 28 pp.
34. Sayliar G. G., Chiou D. Cryptoraptor: High Throughput Reconfigurable Cryptographic Processor // ICCAD 2014. 8 p.
35. Wei L. [et al.] A High Energy-Efficient Reconfigurable VLIW Symmetric Cryptographic Processor with Loop Buffer Structure and Chain Processing Mechanism // Chinese Journal of Electronics. Nov. 2017. V. 26, № 6. P. 1161–1167
36. Андрушин Д.В. и др. Реконфигурируемый вычислительный модуль // Патент на изобретение, RU 2 686 017, Дата регистрации 23.04.2019, 24 стр.
37. Broad Agency Announcement Circuit Realization At Faster Timescales (CRAFT) Microsystems Technology Office DARPA-BAA-15-55 August 17, 2015, 46 pp.
38. Christensen C. On the implementation of AMBIT, a language for symbol manipulation // Comm. of the ACM, 1966, v.9, №8, pp.570-573.

39. Эйсымонт Л.К. О возможности параллельных схем реализации одного языка для описания задач переработки текстовой информации // Управляющие Системы и Машины, Киев, 1977, с.56-64.
40. Задыхайло И.Б., Перегудов В.Г., Фролов А.П., Эйсымонт Л.К. О проблеме реализации масштабирования в специализированных ЭВМ, ориентированных на языки высокого уровня // Препринт ИПМ им. М.В.Келдыша АН СССР, 1985, №172.
41. Фролов А.П. Автоматизация программирования вычислений над вещественными числами посредством операций целочисленной арифметики. Дисс. канд. физ.-мат. наук, ИПМ им. М.В. Келдыша АН СССР, М., 1996.
42. Эйсымонт Л.К. Компьютеры для обработки символьной информации // Зарубежная радиоэлектроника, 1990, N4, стр.3-28.
43. Эйсымонт Л.К. Выбор и оценка базового языка символьного процессора. Дисс. канд. физ.-мат. наук, ИПМ им. М.В.Келдыша АН СССР, М., 1983.
44. Backus J. Can programming be liberated from the von Neumann style? A functional style and its algebra of programs // Comm. of the ACM, 1978, v.21, №8, pp.613-641
45. Эйсымонт Л.К., Моляков А.С., В.С.Заборовский В.С., Федоров С.А. Символьная обработка: эпизоды отечественной истории и перспективы // Материалы 2-й Всероссийской научно-технической конференции «Суперкомпьютерные технологии (СКТ-2012)», Дивноморское, 24-29 сентября, 2012, с.202-206.
46. Holmes S., Hamilton B.Z. Superconducting Computing and IARPA C3 Program // Beyond CMOS Workshop, 2016, 59 slides.
47. The Technology Lane on the Road to Zettaflops. Submission to SC'06. 13 pp.

MAIN PROBLEM DIRECTIONS IN THE FIELD OF DOMESTIC ELEMENT BASE OF SUPERCOMPUTERS

Adamov A. A.⁴, Fomin D.V.⁵, Eisyment L.K.⁶

Abstract: Five primary, in the opinion of the authors, areas of work in the field of import substitution and development of the electronic component base for domestic supercomputers and high-performance systems are considered. The first two areas of the highest priority are the development of GPGPU-type accelerator processors and processors for solving problems with intensive irregular memory operations. The third direction, the second in priority, is the development of modern communication systems with a small diameter on multiport routers. The fourth area, which is currently being actively developed, is the rapid creation of problem-oriented VLSI based on complex-functional devices in the form of IP blocks. The fifth direction is promising, it refers to the technologies of the post-Moore era, the intensification of research and development expected in the next decade, but preparations for which should begin now. Work within this promising direction is associated with the development of functional non-procedural languages for processing symbolic information, as well as processors and supercomputers with a different architecture than von Neumann, implemented using CMOS technologies, as well as technologies of superconducting electronics and quantum cellular automata. In all selected areas it is supposed to organize information-analytical, educational and research work in order to prepare in the future basic data for the work of microelectronic departments of the enterprise.

Keywords: graphics processors, signal processors, multi-core processors, graph processing processors, networks with small diameters on multiport routers, problem-oriented VLSI, functional non-procedural languages, symbolic processing, quantum cellular automata, superconducting electronics.

References

1. Vetter J.S., DeBenedictis E.P., Conte T.M. Architecture for the Post-Moore Era // IEEE Micro special issue, July/August 2017, p.6-8.
2. Ejsymont L.K. Gibridnayastrategiya razvitiya elementnoj bazy // Otkrytyesistemy, N2, 2017. <https://www.osp.ru/os/2017/02/13052216/>
3. Ejsymont L.K. Nastraivaemye specializirovannye SBIS – real'naya osnova sozdaniya budushchih ekzamashtabnyh superkomp'yuterov, zarubezhnyj i otechestvennyj opyt // Sistemy vysokoj dostupnosti, 2018, t.14, №3, str.18-27.
4. Durant L. [et al.] Inside Volta: The World's Most Advanced Data Center GPU, 10 may 2017, <https://devblogs.nvidia.com/paralleforall/inside-volta/>
5. Broad Agency Announcement Hierarchical Identify Verify Exploit (HIVE) Microsystems Technology Office DARPA-BAA-16-52 August 2, 2016, 50 pp.

4 Andrey Adamov, Ph.D. (in Math.), General Director of Research Center «Module», Moscow, Russia. E-mail: a.adamov@module.ru

5 Dmitry Fomin, Deputy General Director of Research Center «Module», Moscow, Russia. E-mail: dfomin@module.ru

6 Leonid Eisyment, Ph.D (Physical and Mathematical Sciences), Scientific Consultant of Research Center «Module», Moscow, Russia. E-mail: verger-lk@yandex.ru

6. Song W.S., Gleyzer V., Lomakin A., Kepner J. Novel Graph Processor Architecture, Prototype System, and Results // 2016 IEEE High Performance Extreme Computing Conference, 22 July 2016, 7 pp. <http://arxiv.org/abs/1607.06541>
7. Song W.S. Processor for large graph algorithm computations and matrix operations // US Patent No 9,529,590 B2, Dec 27, 2016.
8. Dai G. [et al.] GraphH: A Processing-in-Memory Architecture for Large-scale Graph Processing // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol 38, №4, April 2019, p.640-653, <https://cseweb.ucsd.edu/~jzhao/files/GraphH-tcad.pdf>
9. Ejsymont A.L., CHernikov V.M., CHernikov An.V., CHernikov Al.V., Kosorukov D.E., Nasonov I.I., Komlev A.A. Geterogennaya mnogoprocessornaya sistema na kristalle s proizvoditel'nost'yu 512 Gflops // Sistemy vysokoj dostupnosti, 2018, t.14, №3, str.49-56.
10. CHernikov V.M., Viksne P.E. Perspektivy povysheniya karakteristik i rasshireniya oblastej primeneniya transteraflopsnyh SBIS semejstva NeuroMatrix // Sistemy vysokoj dostupnosti, 2018, t.14, №3, str.28-34.
11. Sluckin A.I., Ejsymont L.K. Rossijskij superkomp'yuter s global'no adresuemoj pamyat'yu // Otkrytye sistemy, №9, 2007, s. 42-51. <http://www.osp.ru/os/2007/09/4569294/>
12. Mitrofanov V.V., Sluckin A.I., Ejsymont L.K. Superkomp'yuternye tekhnologii dlya strategicheski vazhnyh zadach // Elektronika: NTB, №7, 2008, s. 66-79.
13. Semenov A.A., Sokolov A.A., Ejsymont L.K. Arhitektura global'no adresuemoj pamyati multitredovo-potokovogo superkomp'yutera // Elektronika: NTB, №1, 2009 g., s. 50-56.
14. Mitrofanov V.V., Ejsymont L.K. Elementnaya baza i arhitektura vysokoproizvoditel'nyh multiprocessornyh vychislitel'nyh sistem, perspektivnyh strategicheskikh i vstroennyh superkomp'yuterov // V sb. «Dinamika radioelektroniki», 2 vypusk. Pod red. Borisova YU.I. ISBN: 978-5-94836-195-6. Izdatel'stvo: M.: Tekhnosfera, 2008.str.70-76
15. ZHabin I., Makagon D., Simonov A., Syromyatnikov E., Frolov A, SHCHerbak A. Kristall dlya «Angary» // Superkomp'yutery, №4 (16), 2013, str.46-49.
16. Adamov A.A., Pavluhin P.V., Bikonov D.V., Ejsymont A.L., Ejsymont L.K. Alternativnye sovremennym GPGPU perspektivnye universal'nye i specializirovannye processory-uskoriteli // Voprosy kiberbezopasnosti, nomer 4, 2019, str 13-21.
17. Oreste W. [et al.] Scaling the Power Wall: A Path to Exascale // Supercomputing Conference (SC14), November 16-21, 2014, 12 pp.
18. Chao Y. [et al.] A Novel DSP Architecture for Scientific Computing and Deep Learning // IEEE Access, Vol 7, April 2, 2019, pp 36413-36425.
19. M.Khazraee, L.V.Gutierrez, I.Magaki, M.B.Taylor. Specializing a Planet's Computation: ASIC Clouds. // IEEE Micro, May/June 2017, pp. 62-69.
20. Ajavi T. [et al.] Experiences Using the RISC-V Ecosystems to Design an Accelerator-Centric SoC in TSMC 16 nm // First Workshop on Computer Architecture Research with RISC-V. August 2017. 6 p.
21. Konecny P. Introducing the Cray XMT // Cray User Group 2007 Proceedings, 5 pp.
22. Kopser A., Vollrath D. Overview of the Next Generation Cray XMT // Cray User Group 2011 Proceedings, 10 pp
23. Villa O. [et al.] Fast and Accurate Simulation of the Cray XMT Multithreaded Supercomputer // IEEE Transactions on Parallel and Distributed Systems, 13 Feb 2012, 9 pp.
24. Timeo S. [et al.] Designing Next-Generation Massively Multithreaded Architectures for Irregular Applications // COMPUTER, August 2012, pp.53-61
25. Bamford J. The NSA is building the country's biggest spy center (watch what you say) // <https://www.wired.com/2012/03/ff-nsadatacenter/>
26. Lakhotia K. [et al.] GPDP: A scalable cache- and memory- efficient framework for Graph Processing Over Partitions, 2019, 12 pp.
27. Ejsymont L., Frolov A., Semenov A. Graph500: adekvatnyj rejting // Otkrytye sistemy, №1, 2011.
28. Scott S., Thorson G. The Cray T3E Network: Adaptive Routing in a High Performance 3D Torus // Hot Chips 4, Stanford, CA, Aug. 1996, 10 pp.
29. Adiga N.R. [et al.] Blue Gene/L torus interconnection network // IBM J.RES. & DEV., Vol.49, № 2,3, March/May 2005, pp.265-276.
30. Kim J., Dally W.J. [et al.] Microarchitecture of a high-radix router // Proc. of the International Symposium on Computer Architecture (ISCA), 2005, pp. 420–431.
31. Scott S., Abts D., Kim J., Dally W.J. The Black Widow High-radix Clos Network // Proc. of the International Symposium on Computer Architecture (ISCA), 2006, pp. 16–28.
32. Arimilli B. [et al.] The PERCS High-Performance Interconnect // 18th Symposium on High Performance Interconnects, 2010, pp.75-82.
33. Alverson B. [et al.] Cray XC Series Network // White Paper, Cray Inc., 2012, 28 pp.
34. Sayliar G. G., Chiou D. Cryptoraptor: High Throughput Reconfigurable Cryptographic Processor // ICCAD 2014. 8 p.
35. Wei L. [et al.] A High Energy-Efficient Reconfigurable VLIW Symmetric Cryptographic Processor with Loop Buffer Structure and Chain Processing Mechanism // Chinese Journal of Electronics. Nov. 2017. V. 26, № 6. P. 1161–1167
36. Andryushin D.V. i dr. Rekonfiguriruemyy vychislitel'nyj modul' // Patent na izobrenie, RU 2 686 017, Data registracii 23.04.2019, 24 str.
37. Broad Agency Announcement Circuit Realization At Faster Timescales (CRAFT) Microsystems Technology Office DARPA-BAA-15-55 August 17, 2015, 46 pp.
38. Christensen C. On the implementation of AMBIT, a language for symbol manipulation // Comm. of the ACM, 1966, v.9, №8, pp.570-573.
39. Ejsymont L.K. O vozmozhnosti parallel'nyh skhem realizacii odnogo yazyka dlya opisaniya zadach pererabotki tekstovoj informacii // Upravlyayushchie Sistemy i Mashiny, Kiev, 1977, s.56-64.
40. Zadyhajlo I.B., Peregodov V.G., Frolov A.P., Ejsymont L.K. O probleme realizacii masshtabirovaniya v specializirovannyh EVM, orientirovannyh na yazyki vysokogo urovnya // Preprint IPM im. M.V.Keldysha AN SSSR, 1985, №172.
41. Frolov A.P. Avtomatizaciya programmirovaniya vychislenij nad veshchestvennymi chislami posredstvom operacij celochislennoj arifmetiki. Diss. kand. fiz.-mat. nauk, IPM im. M.V.Keldysha AN SSSR, M., 1996.
42. Ejsymont L.K. Komp'yutery dlya obrabotki simvol'noj informacii // Zarubezhnaya radioelektronika, 1990, N4, str.3-28.

Главные проблемные направления в области отечественной элементной базы...

43. Ejsymont L.K. Vybor i ocenka bazovogo yazyka simvol'nogo processora. Diss. kand. fiz.-mat. nauk, IPM im. M.V.Keldysha AN SSSR, M., 1983.
44. Backus J. Can programming be liberated from the von Neumann style? A functional style and its algebra of programs // Comm. of the ACM, 1978, v.21, №8, pp.613-641
45. Ejsymont L.K., Molyakov A.S., V.S.Zaborovskij V.S., Fedorov S.A. Simvol'naya obrabotka: epizody otechestvennoj istorii i perspektivy // Materialy 2-j Vserossijskoj nauchno-tehnicheskoy konferencii «Superkomp'yuternye tekhnologii (CKT-2012)», Divnomorskoe, 24-29 sentyabrya, 2012, s.202-206.
46. Holmes S., Hamilton B.Z. Superconducting Computing and IARPA C3 Program // Beyond CMOS Workshop, 2016, 59 slides.
47. The Technology Lane on the Road to Zettaflops. SubmissiontoSC'06. 13pp.

