

МЕТОДЫ ИНТЕГРИРОВАННОГО ДИНАМИЧЕСКОГО КОНТРОЛЯ И УПРАВЛЕНИЯ КРИТИЧЕСКИМИ ПУТЯМИ ПЕРЕДАЧИ ДАННЫХ ДЛЯ ПОВЫШЕНИЯ ПРОИЗВОДИТЕЛЬНОСТИ И ЭНЕРГОЭФФЕКТИВНОСТИ СБИС

Пеплов И.С.¹, Эйсымонт Л.К.²

Аннотация: Каждая СБИС в выпускаемой партии может иметь различную чувствительность к технологическому разбросу параметров в рамках одного техпроцесса, одной пластины и даже площади самого чипа. Это делает менее предсказуемыми временные характеристики отдельной СБИС при изменении операционных условий. Следовательно, существует потребность в контроле их временных характеристик во время работы. В данной статье рассмотрены несколько актуальных методов динамического контроля временных характеристик критических путей данных в СБИС для использования в составе систем управления напряжением и частотой, различающихся по принципу обнаружения и работе с временными ошибками,

Ключевые слова: СБИС, критические пути, динамическое управление напряжением, динамическое управление частотой, электромиграция, технологический разброс.

DOI: 10.21681/2311-3456-2019-4-35-45

Введение

Растущие потребности в вычислительной мощности приводят к освоению всё более тонких технологий производства СБИС. С каждым новым поколением техпроцесса уменьшаются геометрические размеры транзисторов и межсоединений, снижается номинальное рабочее напряжение, вследствие чего получаемые микросхемы становятся чувствительнее к технологическому разбросу, температуре и помехам в цепях сигналов и питания.

Традиционным для проектирования СБИС является Worst Case (WC) маршрут проектирования. WC – это наихудший для функциональности СБИС режим работы при некоторой совокупности факторов (PVT-факторов): P (Process) – технологический разброс параметров транзисторов, пассивных элементов и межсоединений СБИС; V (Voltage) – напряжение питания СБИС; T (Temperature) – температура СБИС.

Временные характеристики любых элементов СБИС, будь это регистры, комбинационные вентили, межсоединения, пассивные и паразитные элементы, зависят от PVT-факторов технологического разброса и операционных условий. Для гарантированной работы СБИС необходимо обеспечить выполнение требуемых временных ограничений с учётом вносимых PVT-факторами отклонений для WC.

На рис.1 синим цветом выделена упрощённая схема пути передачи данных от регистра к регистру внутри

СБИС [1]. Сигнал данных *data* по фронту синхросигнала *clk* захватывается регистром А, регистр В в это же время захватывает результат предыдущего такта. Далее установившийся на выходе регистра А сигнал *data* вызывает переключение всего комбинационного пути *comb logic* до входа регистра В. По следующему фронту синхросигнала *clk* регистр В захватывает установившееся значение сигнала *data* на выходе комбинационного пути и цикл повторяется, а регистр А получает новое значение.

Рассмотрим работу схемы во времени детальнее. Время от регистра А до регистра В является периодом синхросигнала t_{cycle} . Серым цветом на рисунке закрашены времена, связанные только с работой регистров, они вычитаются из периода t_{cycle} , уменьшая таким образом время на обработку данных, где: t_{cq} – время установки выхода регистра с момента прихода на него фронта синхросигнала; t_s (или t_{setup}) – минимальное время предустановки данных на входе регистра. Цветная область с переходом от зеленого к красному цвету – это полезное для обработки данных время периода t_{cycle} , за которое должна отработать комбинационная логика. На рис.1 показан случай, когда сигнал на выходе комбинационной схемы устанавливается раньше (время t_{comb}), а заштрихованная область на оси времени t_{slack} обозначает запас по времени предустановки сигнала для регистра В.

1 Пеплов Илья Сергеевич, аспирант кафедры «Проектирования и Конструирования Интегральных микросхем», НИУ «МИЭТ», г. Зеленоград, Россия. E-mail: ilya.peplov@yandex.ru

2 Эйсымонт Леонид Константинович, кандидат физико-математических наук, научный консультант ЗАО «НТЦ «Модуль», г. Москва, Россия. E-mail: verger-lk@yandex.ru

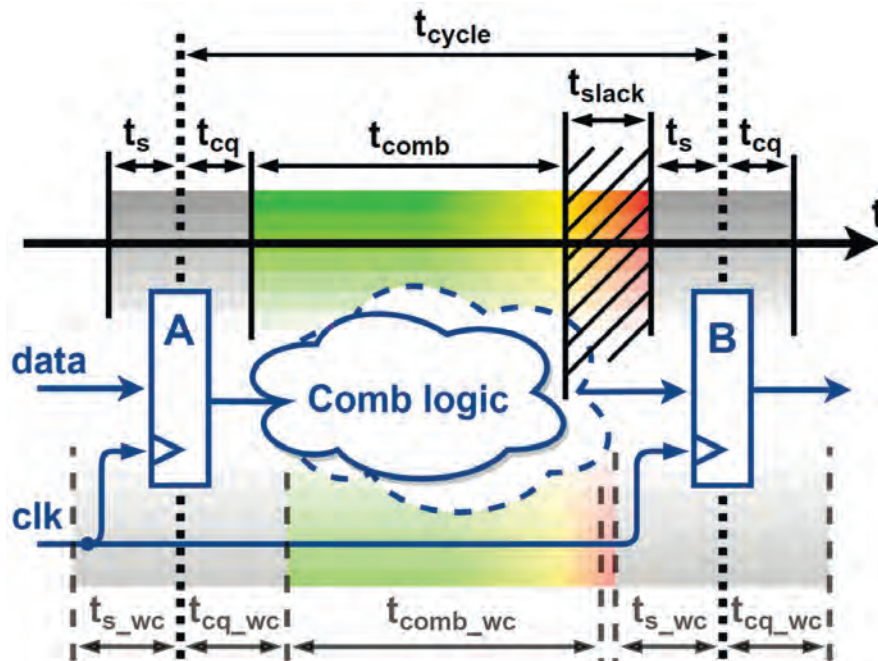


Рисунок 1. Проекция пути передачи данных типа регистр-регистр и его временных характеристик на оси времени

Время предустановки сигнала t_{setup} – это минимальное время, в течение которого данные (*data*) на входе регистра не должны изменяться перед приходом фронта тактового сигнала (*clk*), подаваемого на регистр. Это необходимо, чтобы данные были надёжно захвачены регистром [2]. Нарушение ограничения по времени t_{setup} на регистрах A или B приведёт к тому, что они либо не успеют захватить изменившееся значение данных (*data*), либо захватят неопределённое переходное состояние (оно называется состоянием метастабильности).

В случае выбора маршрута WC при использовании современных субмикронных техпроцессов с учётом всех внешних и технологических факторов в микросхему закладываются большие запасы по времени предустановки t_{setup} .

Вместе с тем, статистические измерения произведённых микросхем показывают, что случаи неблагоприятных сочетаний PVT-факторов при нормальных условиях работы устройств достаточно редки. Электрические характеристики элементов большинства произведённых кристаллов СБИС лежат в пределах нормы, а условия эксплуатации не предполагают перегрева микросхемы и падений рабочего напряжения ниже номинального – этот вариант условий работы называется Typical Case (TC), т.е. нормальный функциональный для СБИС режим работы.

На рис.1 внизу показаны временные характеристики регистров и комбинационной логики для WC-случая с приставкой «_wc». Если предположить, что для оптимизации временных характеристик СБИС использовался худший WC-случай, но в рабочем режиме данной микросхемы совокупность PVT-факторов соответствует нормальному TC-случаю, то созданный после оптимизации временных характеристик запас t_{slack} (заштрихованная область) под WC-случай остаётся незадействованным, а работа устройства становится неоптимальной с точки

зрения производительности и потребляемой мощности, т.е. пути данных оказываются избыточно быстрыми.

Данный запас по t_{setup} сложно использовать для повышения рабочей частоты или снижения рабочего напряжения ввиду большого риска возникновения сбоев, т.к. нет информации о точном состоянии всех задержек в путях обработки данных.

Дополнительным негативным побочным эффектом WC-маршрута становится повышенное энергопотребление из-за использования в критических путях более быстрых низко-пороговых и коротко-канальных логических вентилях, а также рост общей площади логики СБИС ввиду избыточного ветвления буферных деревьев и для выравнивания задержек по времени предустановки t_{setup} .

Для того, чтобы объединить такие качества, как высокая производительность и высокая энергоэффективность, при проектировании СБИС уже давно применяется метод DVFS (Dynamic Voltage/Frequency Scaling), который позволяет изменять напряжение питания и/или частоту в реальном времени для поддержания нужного уровня производительности микросхемы, если условия работы благоприятны, и реагировать на возникновение неблагоприятных факторов. Для работы DVFS нужно отслеживать рабочую точку функционирования СБИС, т.е. иметь информацию о температуре кристалла, его рабочем напряжении, потребляемой мощности, величинах задержек критических путей. Сделать это можно разными методами.

Самый распространённый метод – изменение рабочей частоты и напряжения питания в зависимости от загруженности вычислительной системы. При этом всё равно необходимо проектировать СБИС под WC, т.к. информация о загруженности вычислительной системы не коррелирует с её временными характеристиками при вариациях PVT-факторов.

Другие методы, которым посвящена данная статья, предполагают добавление к схеме СБИС специальной измерительной логики для отслеживания рабочей точки и обеспечения высокой корреляции к вариациям PVT. Эти методы называются НРМ (Hardware Path Monitors) [3] и позволяют проектировать СБИС не по WC-, а по ТС-маршруту, что даёт такие преимущества, как:

- Отсутствие описанных выше побочных эффектов от оптимизации СБИС под WC из-за того, что пути данных больше не должны быть избыточно быстрыми.
- Улучшение PPA-характеристик (Performance Power Area) СБИС, в частности потребляемой

мощности и занимаемой вычислительной логической площади на кристалле.

Важно помнить, что описанные ниже методы хоть и имеют вид законченных схемотехнических решений, но использовать их рекомендуется только в составе систем DVFS как комплексное решение.

В табл.1 приведены некоторые из существующих методов, относящиеся к трём основным типам контроля состояния критических путей обработки данных. Эти методы используют различные схемотехнические решения для обнаружения, предсказания и устранения ошибок, связанных с выходом рабочей точки устройства за пределы его временных ограничений.

Таблица1

Методы контроля состояния критических путей

Тип	Обнаружение свершившихся ошибок	Прогнозирование возможных ошибок	Маскирование ошибок	
			Логический	Временной
Механизм обнаружения ошибок	Избыточные защёлки, триггеры	Избыточные защёлки, триггеры, сенсоры, дубликаты критических путей	Избыточная логика	Избыточные защёлки, триггеры, детекторы фронта
Когда? (относительно фронта синхросигнала)	После	До	-	После
Механизм исправления ошибок	Механизм отката состояния схемы – «Replay»	Не требуется	Не требуется	Ошибка устраняется посредством свойств схемы
Избыточность последовательной логики	Высокая	Высокая	Отсутствует	Высокая
Избыточность комбинационной логики	Низкая	Отсутствует	Умеренная	Низкая
Методы	RAZOR, RAZOR II, Bubble Razor, SafeRazor	Canary FF, CPM	Approximate circuits [21]	TIMBER

В данной таблице дается классификация основных вариантов НРМ по трём способам работы с временными ошибками:

- Обнаружение уже свершившихся ошибок.
- Прогнозирование возможных ошибок.
- Маскирование уже свершившихся ошибок.

Методы прогнозирования возможных ошибок, такие как Canary FF или CPM, относятся к НРМ, которые с помощью дополнительного точно рассчитанного временного запаса на субкритическом пути заранее предупредят от дальнейшего смещения рабочей точки СБИС и последующего выхода схемы из нормального рабочего состояния. Если временные ошибки возникнут в самих критических путях, то данные НРМ не смогут обеспечить её нормальную работу.

Методы обнаружения и маскирования уже свершившихся ошибок, такие как RAZOR и TIMBER, относятся к Error Resilient Circuits (устойчивым к ошибкам схемам). Напротив, в отличие от методов прогнозирования, данные методы позволяют обеспечить стабильную работу

СБИС в случае возникновения временной ошибки в самих критических путях, а некоторые (TIMBER) даже тогда, когда возникающие в её критических путях временные ошибки составляют до 10% от всех операций в системе. Таким образом, граница рабочей точки смещается ещё сильнее в сторону большей энергоэффективности или рабочей частоты, а микросхема может стабильно работать даже за пределами рассчитанного запаса по времени.

Рассмотрим подробнее четыре метода – основных представителей своего типа.

1.Метод RAZOR

Метод RAZOR – был первой разработкой для обнаружения временных ошибок прохождения сигналов в конвейерной схеме (рис.1). Он обнаруживает ошибки, которые уже произошли и вследствие чего часть схемы находится в ошибочном или неизвестном состоянии [4].

На рис.2 показана схема основного элемента метода RAZOR – модифицированного D-триггера типа

master-slave, называемого Razor FF. Модификация состоит в добавлении к схеме D-триггера устойчивой к временным ошибкам «теневого» защёлки (Shadow Latch), логики генерации сигнала ошибки *Error_L*, мультиплексора для восстановления правильного значения сигнала данных и детектора метастабильного состояния схемы.

Недостатки реализации данного метода заключаются в необходимости разработки собственных схемотехнических элементов, в данном случае – собственного D-триггера Razor FF для реализации дополнительной «теневого» логики, причем на нестандартных для современных КМОП-технологий схемах защёлки на проходных ключах. Кроме того, часть схемы, ответственная за об-

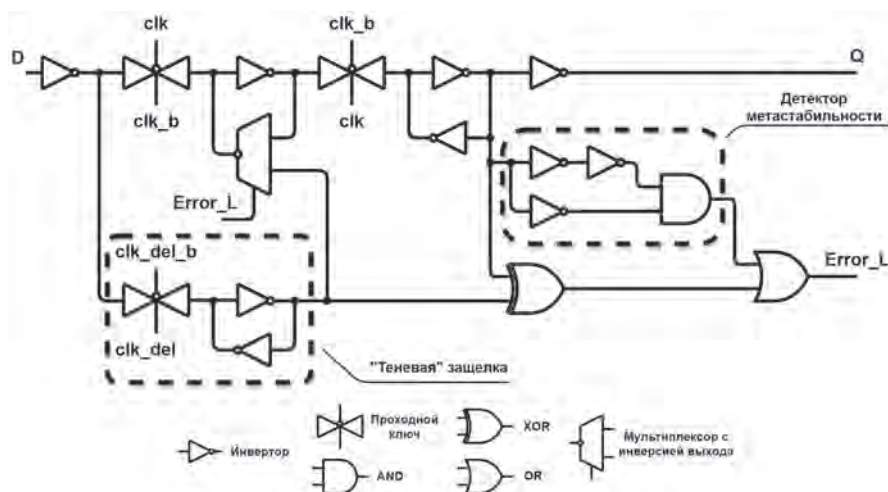


Рисунок 2. Вентильное представление схемы Razor FF

Обнаружение временной ошибки происходит, когда «тенивая» защёлка по задержанному фронту синхросигнала *clk_del* захватывает данные, которые отличаются от захваченных основной slave-защёлкой D-триггера. В данном случае, у «теневого» логики схемы имеется дополнительный запас по времени предустановки сигнала данных t_{setup} , а это значит, что при вариациях PVT первым нарушит временные ограничения основная схема D-триггера.

Величина задержки фронта синхросигнала на «теневого» защёлке рассчитывается вручную, где основную часть составляет шаг регулировки периода источника синхросигнала. Подробнее о составляющих данную величину переменных и формуле расчёта будет рассказано далее в п.2.

Для возврата значения сигнала *Q* на выходе D-триггера в известное состояние, в схеме Razor FF предусмотрен мультиплексор, встроенный в схему хранения сигнала master-защёлки основного D-триггера. По сигналу *Error_L* в неё записывается правильное значение сигнала *D* из «теневого» защёлки, и уже на следующем такте оно установится на выходе *Q*. Таким образом, возникшая и обнаруженная временная ошибка на работу схемы не повлияет.

Сигнал об обнаружении временных ошибок в схеме *Error_L* авторы метода предлагают использовать одним из двух способов: для «отката» схемы в известное состояние и перезапуска вычислений в конвейере на уровне микроархитектуры, или пометить результат выполнения инструкции как ошибочный и поставить её обратно в очередь на пересчёт.

наружение временных ошибок, также подвержена возможности возникновения состояний метастабильности при возникновении временных ошибок уже на них [5]. Различные варианты реализации метода RAZOR, такие как: Bubble RAZOR [5,6,7,8], RAZOR II [9], и Safe RAZOR [10] – созданы для исправления таких недостатков.

2. Метод Canary FF

Метод Canary FF предлагается как усовершенствование методов семейства RAZOR. В отличие от RAZOR, этот метод служит для обнаружения угрозы состоянию схемы (Hazardous Condition) и формирования сигнала управляющему устройству. На рис. 3 изображена схема ячейки Canary FF [11].

Основной триггер DFF дублируется «теневого» (Shadow DFF), перед входом данных которого ставится линия задержки. Линия задержки совместно с комбинационной схемой, формирующей сигнал *data* для DFF, образует новый (субкритический) путь данных до триггера Shadow DFF.

Ясно, что временные характеристики этого нового субкритического пути хуже характеристик настоящего пути обработки данных. Величина ухудшения временных характеристик образует «окно запаса», в котором схема формирования сигнала ошибки уже сработала, но выход основного триггера всё ещё находится в правильном состоянии.

Сигнал об обнаружении ошибки в критическом пути должен служить для изменения рабочей точки устройства посредством изменения напряжения или частоты синхронизации схемы.

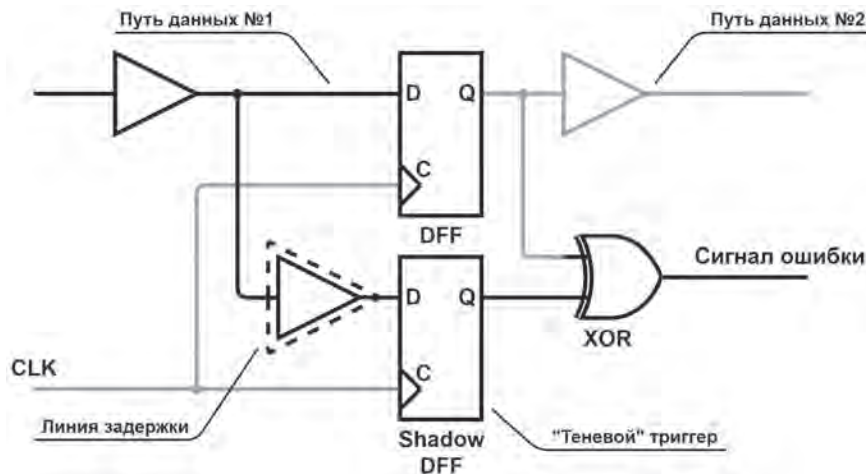


Рисунок 3. Вентильное представление схемы Canary FF

Выбор задержки T_{delay} , добавленной к задержке данных на выбранном субкритическом пути, должен быть сделан исходя из свойств элементов, от которых зависит рабочая точка устройства и ее регулировка. Такими элементами являются:

- Генераторы синхросигнала, такие как ФАПЧ/ЦФАПЧ (PLL/DPLL), кольцевые генераторы (Ring Oscillators) и др.;
- Дерево синхросигналов (Clock Tree);
- Источники питания, такие как программируемые ШИМ контроллеры с последовательными интерфейсами (напр. SVID, I2C, SPI);
- Сетка питания устройства (Power Grid).

В общем виде расчет T_{delay} можно провести по следующей формуле:

$$T_{delay} = \max \{T_{clk} | T_{vr}\} + T_{slew} + T_{ir},$$

где: T_{clk} – шаг регулировки периода источника синхросигнала;

T_{vr} – средняя величина изменения задержки на критическом

пути на шаг регулировки источника питания;

T_{slew} – среднее время нарастания синхросигнала на входе DFF;

T_{ir} – среднее изменение задержки при определенной величине падения

напряжения (IR drop) в схеме.

Основной вклад в величину задержки T_{delay} (~90%) вносит шаг регулировки периода источника синхросигнала T_{clk} или средняя величина изменения задержки критического пути на шаг регулировки источника питания T_{vr} .

Величину T_{delay} нельзя взять равной T_{clk} или T_{vr} потому, что её может не хватить для гарантированного прогнозирования временной ошибки на «теневой» логике Canary FF. Из-за разброса временных характеристик элементов критического пути есть вероятность, что в случае, когда от возникновения временных ошибок основную схему отделяет запас по времени, равный рассчитанному T_{delay} , задержка на субкритическом пути с учётом всех отклонений окажется слишком малой, чтобы нарушить временные ограничения по t_{setup} для

Shadow DFF. Это приведёт к тому, что основной триггер схемы DFF и «теневой» триггер Shadow DFF захватят одинаковые данные, из-за чего не возникнет сигнала ошибки и управляющая логика примет решение о дальнейшем изменении рабочей точки СБИС, что повлечёт за собой распространение временных ошибок уже по основным путям данных.

Основной проблемой при использовании Canary FF в устройстве является избыточность по площади и потреблению. Действительно, площадь ячейки Canary FF более чем в два раза превосходит таковую у библиотечного DFF. Для решения данной проблемы предлагается использовать селективный метод встраивания цепей предсказания ошибок в устройство [15].

Авторы посвящённых методу Canary FF статей заявляют о возможности снижения энергопотребления при его интеграции в СБИС до 30% по отношению к исходной схеме, за счёт снижения напряжения питания [13]. Также предлагается его использовать для повышения устойчивости СБИС к старению и электромиграции [12,16].

3. Метод CPM

Ещё одним методом контроля временных характеристик критических путей СБИС является CPM (Critical Path Monitor) [17]. Основное отличие данного метода от двух предыдущих в том, что он не встраивается в реальные критические пути устройства, однако CPM, также, как и метод Canary FF, позволяет обнаружить ошибки заблаговременно, т.е. те ошибки, которые могут произойти и выдать предупреждающий сигнал «тревоги».

Для контроля временных характеристик CPM использует схему задержки, которая может быть составлена из следующих компонентов: дубликатов критических путей СБИС, конфигурируемого поля элементов задержки, кольцевых генераторов и т.д. Сделано это с целью симитировать как можно большее число реальных критических путей в схеме, различающихся по характеру задержки, например: с преобладанием в пути межсоединений (RC-цепочек) или с преобладанием в нём логических элементов (Gate).

На рис. 4 приведена блок-схема монитора критических путей метода СРМ. Она представляет собой законченный модуль, содержащий:

- Блок генератора сигналов, в виде простого D-триггера.
- Блок задержек в виде дубликатов исследуемых критических путей СБИС или, как представлено в данной статье, конфигурируемой линии задержки из элементов разного типа, таких как Gate (логические элементы), RC-цепочки (межсоединения), FET (одиночные транзисторы, отдельно от КМОП-пар);
- Блок детектора фронтов двух сигналов и оцифровки разницы во времени (дельты) между эталонным фронтом и исследуемым фронтом, прошедшим через конфигурируемую линию задержки;
- Блоки управления, сравнения результатов и др.

Основа метода СРМ – это интеграция блока монитора критических путей в СБИС рядом с исследуемыми критическими путями так, чтобы не вмешиваться в работу последних, но при этом иметь с ними минимальную разницу от влияния технологических и внешних факторов.

Схема работает следующим образом. Блок генератора сигналов запускает два синфазных сигнала, поделённых на 2 относительно опорной частоты синхросигнала *CLK*: один в виде эталонного, минуя конфигурируемый блок задержки, а другой в виде исследуемого через конфигурируемый блок задержки, которые затем захватываются блоком детектора фронтов и оцифровки дельты сигналов (Time-to-Digital Converter [17]) (рис. 4). Этот блок оцифровывает расхождение их фронтов по времени и передает код ошибки (величину расхождения во времени) в блок управления СБИС. Код ошибки может иметь разрядность от 1 до *n*. В случае, если его разрядность равна 1, то это простой сигнал ошибки PASS/FAIL. Если же его разрядность > 1 , то это дельта, значения которой указывают на величину отставания фронта исследуемого сигнала от эталонного. Большая чем 1 разрядность выхода блока оцифровки была выбрана авторами метода для изучения способов расширения аналитических и функциональных возможностей интегрируемой в СБИС системы мониторинга состояния критических путей НРМ.

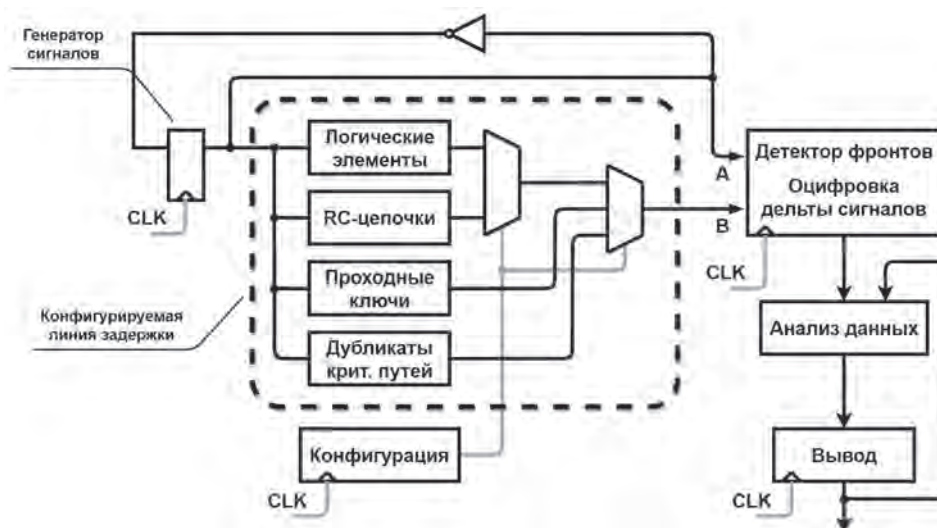


Рисунок 4. Блок-схема монитора критических путей метода СРМ

Блок генератора сигналов представляет собой D-триггер, который выполняет функцию синхронизатора и делителя тактового сигнала на 2. Таким образом, за один такт опорного синхросигнала *CLK* схема СРМ производит выборку переднего фронта исследуемого сигнала, а за второй такт – заднего фронта.

Конфигурируемый блок задержки представляет собой поле из пяти параллельно подключенных через коммутатор элементов задержки. Такое конфигурируемое поле элементов задержки было выбрано с целью заменить собой оригинальные критические пути. Задержка каждого элемента может отслеживаться отдельно или вместе в различных вариациях (до 14-ти [17])

для моделирования гибридной линии задержки. Каждая сконфигурированная гибридная линия задержки может имитировать реальный путь передачи данных в СБИС по характеру вносимой задержки. Временные характеристики каждой гибридной линии передачи будут по-разному зависеть от изменения рабочей точки СБИС.

Блок детектора фронтов и оцифровки дельты (Time-to-Digital Converter) показан на рис. 5 и представляет собой однородную линию задержки, поделённую на 12-разрядов, служащую для представления разницы во времени захвата фронтов эталонного и исследуемого сигналов в виде кода ошибки на выходе.

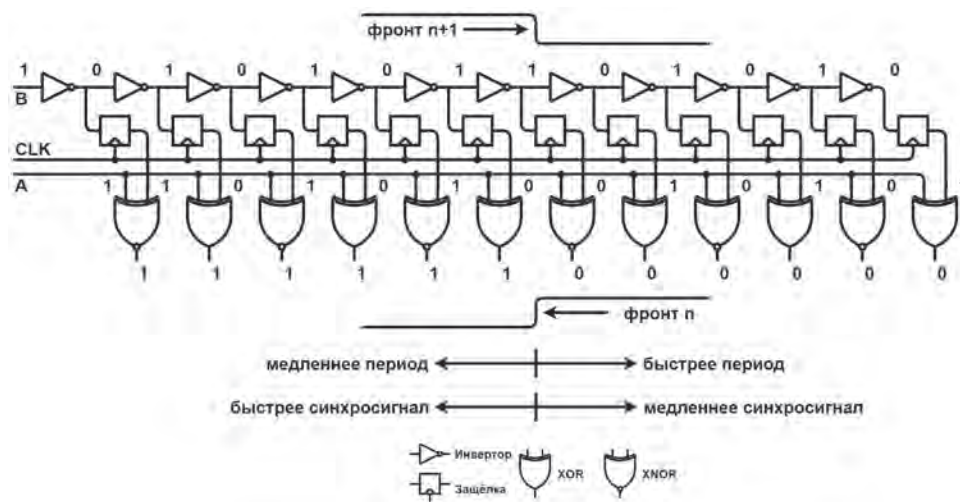


Рисунок 5. Вентильное представление схемы детектора фронтов и оцифровки дельты сигналов.

4. Метод TIMBER

Метод TIMBER (Time Borrowing and Error Relaying) – это метод придания конвейерным схемам устойчивости к временным ошибкам посредством их маскирования заимствованием времени со следующих стадий в конвейере [19,22]. Таким образом, TIMBER может маскировать ошибки длительностью в несколько стадий, прежде чем начнёт снижать рабочую частоту системы. В отличие от RAZOR, данный метод позволяет восстанавливать временные запасы в конвейере без повторного выполнения инструкций.

На рис. 6 приведены схемы базовых элементов TIMBER. Модифицированный D-триггер TIMBER FF (рис.6, а) включает, как и RAZOR FF в методе RAZOR (рис.2), «теневую» защёлку для надёжного захвата данных по задержанному фронту синхросигнала DCK (рис.6, а). В нем также реализована схема восстановления значения сигнала данных на slave-защёлке при помощи проходного ключа и управляющего им сигнала

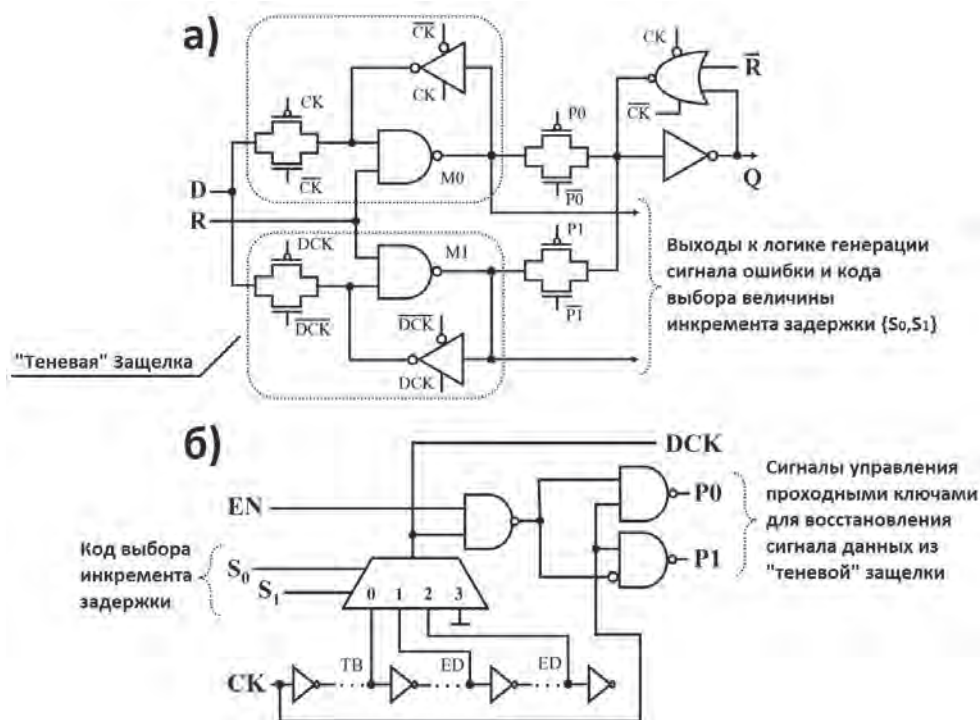


Рисунок 6. Вентильные схемы базовых элементов TIMBER: а) Модифицированный D-триггер TIMBER FF; б) Схема управления значением инкремента задержки синхросигнала.

P1. Логика генерации сигнала ошибки в приведённой на рис.6 схеме отсутствует, но присутствуют выходы к ней сигналов с основной M0 и «теневого» M1 защёлки. Сигналами R и инверсным $\sim R$ (рис.6, а) осуществляется сброс триггера TIMBER FF.

В отличие от RAZOR, данный метод позволяет управлять значением инкремента задержки синхросигнала на «теневого» защёлке. Для этого, в дополнение к схеме триггера TIMBER FF, идёт схема управления значением инкремента задержки синхросигнала (рис.6, б). Цепи TB и ED обозначают базовую и дополнительные единицы инкремента задержки соответственно. Это нужно для работы схемы обработки и передачи сигнала ошибки и кода выбора величины инкремента между стадиями конвейера (Error Relay Logic) (рис.7).

TIMBER FF регистрирует временную ошибку в случае, если данные на защёлке M0 по фронту синхросигнала и на защёлке M1 по задержанному фронту синхросигнала перестанут совпадать. В этом случае формируется сигнал ошибки для центральной логики, а схема управления синхросигналом увеличивает текущий такт на одну временную единицу (100 псек в работе [19]), которая затем будет вычтена из такта следующей стадии конвейера.

Схема может последовательно «передавать» полученное в результате возникновения временной ошибки значение приращения задержки по стадиям в конвейере до тех пор, пока оно не распределится по имеющимся положительным временным запасам t_{setup} на данных стадиях. А в случае, если имеющегося «свободного» времени на соседних стадиях конвейера будет недостаточно, TIMBER начнёт понижать рабочую частоту системы.

Для работы метода TIMBER также требуется схема обработки сигнала ошибки и формирования кода для заимствования времени со следующей стадии в конвейере – Error Relay Logic, она показана в облачке на рис. 7.

К достоинствам TIMBER можно отнести возможность обеспечить стабильную работу СБИС при числе ошибочных результатов до 10% от их общего числа [19,20].

К недостаткам TIMBER можно отнести:

- Высокую сложность интеграции в проект, ввиду необходимости разработки нескольких собственных логических элементов.
- Большую избыточность, вносимую методом в схему конвейера СБИС.
- Из работ [19,20], можно предположить, что данный метод в настоящее время успешно применяется в современных процессорах ARM, хотя явно об этом не сказано.

Заключение

Схемы предсказания ошибок позволяют при достаточно небольшой избыточности, простоте встраивания и незначительному влиянию на исходные логические функции устройства уверенно обнаруживать угрозу для состояния схемы и принимать меры по балансировке рабочей точки (PVT).

Механизм балансировки может быть различным, как и в случае схем обнаружения ошибок и маскирования – изменение тактовой частоты (уменьшение или увеличение), изменение напряжения, изменение интенсивности охлаждения.

При использовании схем мониторинга критических путей в устройстве отпадает необходимость закладывать запас по временным характеристикам для удовлетворения условиям худшего WC-случая. По этой причине предполагается при проектировании отказаться от оптимизации проекта под худший WC-случай, используя его лишь для анализа временных характеристик СБИС и формирования списка критических путей для мониторинга.

За счёт отказа от проектирования СБИС под WC-случай, достигается снижение требований к времен-

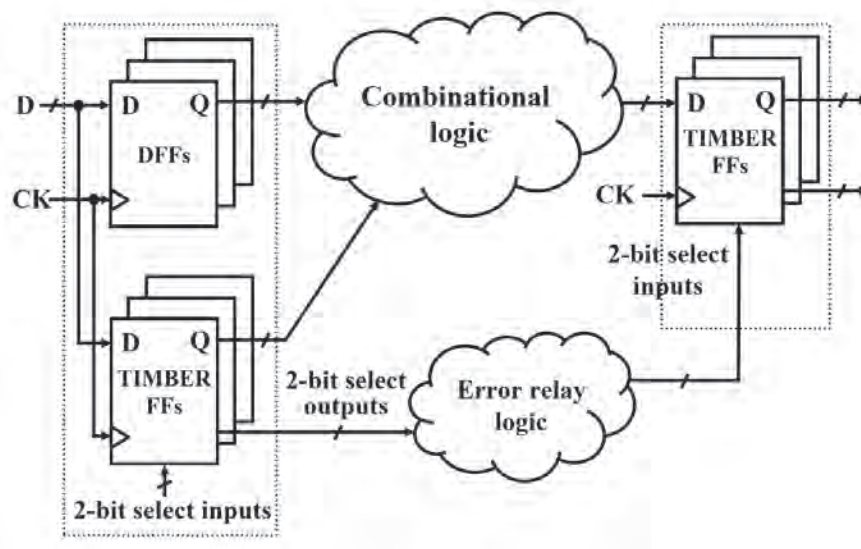


Рисунок 7. Общая схема стадии конвейера с применением метода TIMBER

ным ограничениям схемы, что приводит к уменьшению площади, повышению энергоэффективности, а также сокращению времязатрат для достижения заданных временных характеристик.

В отличие от других описанных в данной статье методов, CPM и Canary FF можно реализовать в базе предоставляемых фабрикой библиотек проектирования для выбранной технологии без необходимости в разработке собственной элементной базы.

Важно отметить, что в общем случае сигнал на пути данных может меняться далеко не с каждым тактом синхронизации [14]. Это может порождать отсутствие сигнала ошибки на выходе компаратора даже в том случае, когда временные ограничения на «теневого» логике (для Canary FF и CPM) или на основной логике (для семейства Razor, а также TIMBER) были нарушены. Поэтому необходимо производить накопление и обработку множества сигналов об ошибках за некоторое количество циклов синхронизации схемы.

Также нельзя полагаться на данные только от одного монитора критического пути (одного триггера Razor FF, или Canary FF, или TIMBER FF, или одного блока CPM на кристалле СБИС). Наблюдаемых одновременно критических путей в схеме должно быть достаточное для получения достоверной статистики количество.

Для работы всех описанных в данной статье методов требуется специальный модуль анализа и извещения о

временных ошибках в схеме. Данный модуль должен собирать сигналы ошибок, производить их некоторый предварительный анализ (сообщать идентификатор критического пути, количество ошибок за единицу времени или фиксированное количество переключений) и передавать их через последовательный интерфейс системе управления напряжением/частотой DVFS. Данный модуль анализа и извещения о временных ошибках также необходимо полностью защитить от временных ошибок в том числе на худшем WC-случае.

Для обмена информацией с внешними устройствами (управление частотой, напряжением, охлаждением, сбор статистики для управляющей СБИС) можно использовать шины последовательной передачи: I2C, SMBus, SPI.

При изначальном тестировании устройства функция сбора статистики с мониторов критических путей в СБИС позволит создавать кривую зависимости предельной частоты работы схемы от напряжения питания (Voltage/Freq curve), проводить сортировку чипов по этим характеристикам.

Во время работы схемы это также предоставляет возможность динамически регулировать частоту синхросигнала и напряжение питания для достижения предельных в данных условиях характеристик энергоэффективности или производительности.

Литература

1. Xanthopoulos T. Clocking in Modern VLSI Systems. – NY, USA: Springer, 2009.
2. Chadha R., Bhasker J., Static Timing Analysis for Nanometer Designs: A Practical Approach. – NY, USA: Springer, 2009.
3. Kehl T. Hardware Self-Tuning and Circuit Performance Monitoring // Proceedings of 1993 IEEE International Conference on Computer Design. – Cambridge, MA, USA: IEEE, 1993. – С. 188-192.
4. Ernst D., Kim N.S., Das S., Pant S., Rao R., Razor: A Low-Power Pipeline Based on Circuit-Level Timing Speculation // Annual International Symposium on Microarchitecture. – San Diego, CA, USA: дек. 2003. – т. 36, С. 7-18.
5. Fojtik M., Fick D., Kim Y., Pinckney N., Bubble Razor: an architecture-independent approach to timing-error detection and correction // Proc. Int. Solid-State Circuits Conf.: фев. 2012. – С. 488-490.
6. Hayoung Kim, Dongyoung Kim, Jae-Joon Kim, Coarse-grained Bubble Razor to exploit the potential of two-phase transparent latch designs // Design, Automation & Test in Europe Conference & Exhibition (DATE2014). – Dresden, Germany: 24-28 мар. 2014.
7. Fojtik M., Fick D., Sylvester D., Bubble Razor: eliminating timing margins in an ARM Cortex-M3 processor in 45 nm CMOS using architecturally independent error detection and correction // J. Solid-State Circuits: 2013. – т. 48, №1, С. 66-81.
8. Guowei Zhang, Peter A. Beerel, Stochastic analysis of Bubble Razor // 2014 Design, Automation & Test in Europe Conference & Exhibition (DATE2014). – Dresden, Germany: 24-28 March 2014.
9. Das S., Blaauw D.T., Razor II: In situ error detection and correction for PVT and SER tolerance // J. Solid-State Circuits: 2009. – т. 44, н. 1, С. 32-48.
10. Cannizzaro M., Beer S., Cortadella J., Ginosar R., Lavagno L., SafeRazor: Metastability-robust adaptive clocking in resilient circuits // IEEE Trans. Circuits Syst. I Reg. Papers: сен. 2015. – т. 62, № 9, С. 2238-2247.
11. Sato T., Kunitake Y., A simple flip-flop circuit for typical-case designs for dfm // Proc. of the 8th Intl. Symposium on Quality Electronic Design (ISQED'07): Mar. 2007. – С. 539-544.
12. Paul B., Zhang M., Mitra S., Circuit failure prediction and its application to transistor aging // 25th IEEE VLSI Test Symposium (VTS'07): May 2007. – С. 277-286.
13. Otsuka Y., Toshinori S., Multicore energy reduction utilizing canary FF // Communications and Information Technologies (ISCIT): Tokyo, Japan, 2010. – С. 922-927.
14. Kunitake Y., Sato T., Yasuura H., Hayashida T., Possibilities to miss predicting timing errors in canary flip-flops // 2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS): 2011. – С. 1-4.
15. Kunitake Y., Sato T., Yasuura H., A selective replacement method for timing-error-predicting flip-flop // Proc. 54th International Midwest Symposium on Circuits and Systems (MWSCAS): 2011.
16. Kunitake Y., Sato T., Yasuura H., Guidelines for mitigating NBTI degradation in on-chip memories // 2012 International Symposium on Communications and Information Technologies (ISCIT): Gold Coast, QLD, Australia, 2-5 Окт. 2012.

17. Drake A., Senger R., Singh H., Carpenter G., James N. Dynamic Measurement of Critical-Path Timing // IEEE International Conference on Integrated Circuit Design and Technology and Tutorial. – Austin, TX, USA: IEEE, 2008. – С. 249-252.
18. Lefurgy C., Drake A., Floyd M., Allen-Ware M., Brock B., Tierno J., Carter J. Active Management of Timing Guardband to Save Energy in POWER7 // 44th Annual IEEE/ACM International Symposium on Microarchitecture (MICRO 44). – Porto Alegre, Brazil: IEEE, 2011. – С. 1-11.
19. Choudhury M. R., Mohanram K., TIMBER: Time borrowing and error relaying for online timing error resilience // Proc. Design Automation and Test in Europe (DATE2010): 2010. – С. 1554-1559.
20. Choudhury M.R., Chandra V., Mohanram K., Time-borrowing circuit designs and hardware prototyping for timing error resilience // Trans. Comput.: 2014. – т. 63, №1, С. 497-509.
21. Choudhury M., Mohanram K., Low cost concurrent error masking using approximate logic circuits // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems: 2013. – т. 32, №8, С. 1163-1176.
22. Choudhury M. R., Mohanram K., Masking timing errors on speed-paths in logic circuits // In Design, Automation, and Test in Europe (DATE2009): 2009. – С. 87-92.
23. Nejat M., Alizadeh B., Afzali-Kusha A., Dynamic flip-flop conversion to tolerate process variation in low power circuits // Proc. DATE2014: 2014. – С. 1-4.
24. Chan T.-B., Pant A., Cheng L., Gupta P., Design dependent process monitoring for back-end manufacturing cost reduction // IEEE/ACM International Conference on Computer-Aided Design (ICCAD). – San Jose, CA, USA: IEEE, 2010. – С. 116-122.
25. Aparicio H., Ituero P., López-Vallejo M., A critical-path monitor for DVFS systems without datapath replication // Design of Circuits and Integrated Systems (DCIS). – Madrid, Spain: IEEE, 2014. – С. 1-5.

METHODS OF DYNAMIC CRITICAL PATH MONITORING FOR BETTER PERFORMANCE AND POWER EFFICIENCY IN VLSI-CIRCUITS

Ilya Peplov³, Leonid Eisymont⁴

Abstract: Every VLSI-circuit in batch can be sensitive to variations within process, within one wafer or even within one chip. This cause timing characteristics of separate chip to be less predictable when the operating conditions change. Thus, there is a need to measure their timing characteristics online during operation. In this article, a several actual methods of dynamic critical data path monitoring are described. They differ by the type of detecting and working with timing errors and can be used as part of DVFS systems.

Keywords: DVFS, Canary FF, TIMBER, RAZOR, Critical Path Monitors, Hardware Performance Monitors, PVT.

References

1. Xanthopoulos T. Clocking in Modern VLSI Systems. – NY, USA: Springer, 2009.
2. Chadha R., Bhasker J., Static Timing Analysis for Nanometer Designs: A Practical Approach. – NY, USA: Springer, 2009.
3. Kehl T. Hardware Self-Tuning and Circuit Performance Monitoring // Proceedings of 1993 IEEE International Conference on Computer Design. – Cambridge, MA, USA: IEEE, 1993. – С. 188-192.
4. Ernst D., Kim N.S., Das S., Pant S., Rao R., Razor: A Low-Power Pipeline Based on Circuit-Level Timing Speculation // Annual International Symposium on Microarchitecture. – San Diego, CA, USA: дек. 2003. – т. 36, С. 7-18.
5. Fojtik M., Fick D., Kim Y., Pinckney N., Bubble Razor: an architecture-independent approach to timing-error detection and correction // Proc. Int. Solid-State Circuits Conf.: фев. 2012. – С. 488-490.
6. Hayoung Kim, Dongyoung Kim, Jae-Joon Kim, Coarse-grained Bubble Razor to exploit the potential of two-phase transparent latch designs // Design, Automation & Test in Europe Conference & Exhibition (DATE2014). – Dresden, Germany: 24-28 мар. 2014.
7. Fojtik M., Fick D., Sylvester D., Bubble Razor: eliminating timing margins in an ARM Cortex-M3 processor in 45 nm CMOS using architecturally independent error detection and correction // J. Solid-State Circuits: 2013. – т. 48, №1, С. 66-81.
8. Guowei Zhang, Peter A. Beerel, Stochastic analysis of Bubble Razor // 2014 Design, Automation & Test in Europe Conference & Exhibition (DATE2014). – Dresden, Germany: 24-28 March 2014.
9. Das S., Blaauw D.T., Razor II: In situ error detection and correction for PVT and SER tolerance // J. Solid-State Circuits: 2009. – т. 44, н. 1, С. 32-48.

³ Ilya Peplov, graduate student of National Research University of Electronic Technology «MIET», Zelenograd, Russia. E-mail: ilya.peplov@yandex.ru

⁴ Leonid Eisymont, Ph. D., scientific consultant of Research Center «Module» (RC Module), Moscow, Russia. E-mail: verger-ik@yandex.ru

10. Cannizzaro M., Beer S., Cortadella J., Ginosar R., Lavagno L., SafeRazor: Metastability-robust adaptive clocking in resilient circuits // IEEE Trans. Circuits Syst. I Reg. Papers: сен. 2015. – т. 62, № 9, С. 2238-2247.
11. Sato T., Kunitake Y., A simple flip-flop circuit for typical-case designs for dfm // Proc. of the 8th Intl. Symposium on Quality Electronic Design (ISQED:07): Mar. 2007. – С. 539-544.
12. Paul B., Zhang M., Mitra S., Circuit failure prediction and its application to transistor aging // 25th IEEE VLSI Test Symposium (VTS:07): May 2007. – С. 277-286.
13. Otsuka Y., Toshinori S., Multicore energy reduction utilizing canary FF // Communications and Information Technologies (ISCIT): Tokyo, Japan, 2010. – С. 922-927.
14. Kunitake Y., Sato T., Yasuura H., Hayashida T., Possibilities to miss predicting timing errors in canary flip-flops // 2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS): 2011. – С. 1-4.
15. Kunitake Y., Sato T., Yasuura H., A selective replacement method for timing-error-predicting flip-flop // Proc. 54th International Midwest Symposium on Circuits and Systems (MWSCAS): 2011.
16. Kunitake Y., Sato T., Yasuura H., Guidelines for mitigating NBTI degradation in on-chip memories // 2012 International Symposium on Communications and Information Technologies (ISCIT): Gold Coast, QLD, Australia, 2-5 Окт. 2012.
17. Drake A., Senger R., Singh H., Carpenter G., James N. Dynamic Measurement of Critical-Path Timing // IEEE International Conference on Integrated Circuit Design and Technology and Tutorial. – Austin, TX, USA: IEEE, 2008. – С. 249-252.
18. Lefurgy C., Drake A., Floyd M., Allen-Ware M., Brock B., Tierno J., Carter J. Active Management of Timing Guardband to Save Energy in POWER7 // 44th Annual IEEE/ACM International Symposium on Microarchitecture (MICRO 44). – Porto Alegre, Brazil: IEEE, 2011. – С. 1-11.
19. Choudhury M. R., Mohanram K., TIMBER: Time borrowing and error relaying for online timing error resilience // Proc. Design Automation and Test in Europe (DATE2010): 2010. – С. 1554-1559.
20. Choudhury M.R., Chandra V., Mohanram K., Time-borrowing circuit designs and hardware prototyping for timing error resilience // Trans. Comput.: 2014. – т. 63, №1, С. 497-509.
21. Choudhury M., Mohanram K., Low cost concurrent error masking using approximate logic circuits // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems: 2013. – т. 32, №8, С. 1163-1176.
22. Choudhury M. R., Mohanram K., Masking timing errors on speed-paths in logic circuits // In Design, Automation, and Test in Europe (DATE2009): 2009. – С. 87-92.
23. Nejat M., Alizadeh B., Afzali-Kusha A., Dynamic flip-flop conversion to tolerate process variation in low power circuits // Proc. DATE2014: 2014. – С. 1-4.
24. Chan T.-B., Pant A., Cheng L., Gupta P., Design dependent process monitoring for back-end manufacturing cost reduction // IEEE/ACM International Conference on Computer-Aided Design (ICCAD). – San Jose, CA, USA: IEEE, 2010. – С. 116-122.
25. Aparicio H., Ituero P., López-Vallejo M., A critical-path monitor for DVFS systems without datapath replication // Design of Circuits and Integrated Systems (DCIS). – Madrid, Spain: IEEE, 2014. – С. 1-5.

