

# АРХИТЕКТУРА РЕКОНФИГУРИРУЕМОЙ ГЕТЕРОГЕННОЙ РАСПРЕДЕЛЕННОЙ СУПЕРКОМПЬЮТЕРНОЙ СИСТЕМЫ ДЛЯ РЕШЕНИЯ ЗАДАЧ ИНТЕЛЛЕКТУАЛЬНОЙ ОБРАБОТКИ ДАННЫХ В ЭПОХУ ЦИФРОВОЙ ТРАНСФОРМАЦИИ ЭКОНОМИКИ

Каляев И.А.<sup>1</sup>, Заборовский В. С.<sup>2</sup>, Антонов А. П.<sup>3</sup>

## Аннотация

**Цель статьи:** рассмотреть актуальность, возможность и пути создания реконфигурируемой гетерогенной распределенной суперкомпьютерной системы, обеспечивающей решение задач интеллектуальной, основанной на Искусственном Интеллекте, обработки «больших данных», оптимизации и управления киберфизическими системами. Обосновать особенности текущего этапа цифровой трансформации экономики гибридных вычислительных систем, предназначенных для интеллектуальной.

**Метод:** теоретический и экспериментальный анализ развития архитектуры гибридного суперкомпьютерного центра «Политехнический», состоящего из различных высокопроизводительных подсистем, в направлении распределенной гетерогенной реконфигурируемой вычислительной инфраструктуры, функционирующей под управлением исполнительной системы, наделенной функциями обучения и «вычисления» в реальном времени состояний – носителей потенциальных угроз кибербезопасности.

**Полученный результат:** обоснована необходимость создания новых суперкомпьютерных систем и цифровизации экономик; предложена архитектура реконфигурируемой гетерогенной распределенной суперкомпьютерной системы и ее подсистем; показаны пути реализации предложенной архитектуры на основе существующих на рынке элементной базы и готовых устройств.

**Ключевые слова:** гетерогенные суперкомпьютерные системы, стандарт OpenCL, реконфигурируемые вычислители, архитектуры суперкомпьютерных систем, FPGA, киберфизические системы, кибербезопасность, Искусственный Интеллект.

DOI:10.21681/2311-3456-2019-5-02-11

## 1. Введение

*Не будем спорить — давайте посчитаем.*

© Жозеф Луи Лагранж

Развитие современных наук и технологий убедительно подтверждают справедливость высказывания академика А. А. Самарского о том, что «ведущую роль в познании теперь играют математическое моделирование и технологии вычислительного эксперимента» [1]. Эта формулировка выдающегося ученого обобщает опыт его личного участия в реализации крупнейших научно-инженерных проектов 20 века, успех которых был во многом обусловлен широким использованием компьютерных наук и технологий математического моделирования.

Фактически, наряду с теорией и практикой, компьютерные науки стали третьей «точкой опоры» процесса

познания [2], оказывая радикальное влияние на развитие современной экономики и общества в целом. Рассматривая объекты и процессы с позиций свойств «вычислимости», компьютерные науки выбрали в качестве онтологической схемы своего развития расширенное толкование тезиса Черча-Тьюринга: «все, что существует в физической смысле, может быть вычислено с помощью компьютера, если для этого у него хватит памяти и времени». Оговорки о ресурсах памяти и времени решения важны с технологической точки зрения для характеристики меры сложности задач цифрового моделирования и возможности их решения с использованием различных вычислительных архитектур.

1 Каляев Игорь Анатольевич, профессор, доктор технических наук, академик РАН, научный руководитель направления НИИ МВС Южного федерального университета, г. Ростов-на-Дону, Россия. E-mail: kaliaev@niimvus.ru

2 Заборовский Владимир Сергеевич, доктор технических наук, профессор, научный руководитель Института прикладной математики и механики Санкт-Петербургского государственного политехнического университета, Санкт-Петербург, Россия. E-mail: vladimir.zaborovskiy@spbstu.ru

3 Антонов Александр Петрович, доцент, кандидат технических наук, доцент Института компьютерных наук и технологий Санкт-Петербургского государственного политехнического университета, Санкт-Петербург, Россия. E-mail: antonov@eda-lab.ftk.spbstu.ru

Удовлетворить всем требованиям и получить решение за приемлемое время можно, если пространство вычислений может быть адаптировано под особенности не только отдельных классов задач, но и учитывать специфику каждой конкретной задачи в отдельности [3].

Нет сомнений, что в ближайшее десятилетие важнейшим классом задач, решение которых имеет общесистемное значение для успешного развития цифровой экономики, будут задачи управления информационной безопасностью, в том числе подкласс задач обеспечения комплексной кибербезопасности распределенных промышленных инфраструктур, создаваемых на базе таких технологий, как высокоскоростные сети 5G, «интернет вещей» и др. Защищенность от различных внешних и внутренних киберугроз, включая различные аспекты социально-кибернетической инженерии, будет определять передний край инноваций и конкурентоспособность нового поколения вычислительных систем, ядром которых станет сплав суперкомпьютерные технологий и систем искусственного интеллекта [4].

В статье рассматриваются вопросы создания гибридных вычислительных систем, предназначенных для интеллектуальной обработки «больших данных», оптимизации и управления киберфизическими системами. В качестве перспективного решения анализируются возможности развития архитектуры гибридного суперкомпьютерного центра «Политехнический», состоящего из различных высокопроизводительных подсистем, в направлении распределенной гетерогенной реконфигурируемой вычислительной инфраструктуры, функционирующей под управлением исполнительной системы, наделенной функциями обучения и «вычисления» в реальном времени состояний – носителей потенциальных угроз кибербезопасности.

Замена реальных экспериментов, результатами компьютерного моделирования обусловлена тем, что к физическим процессам, используемым в инженерной практике, применим принцип «тождества неразличимых» Лейбница. Суть этого принципа в том, что неразличимые в смысле какой-либо количественной меры объекты неизбежно совпадут, став одним тождественными объектами.

Меры информационной различимости могут быть сопоставлены различным свойствам объектов и процессов, что позволяет количественно выразить их индивидуальность и содержательную сущность. Именно поэтому результаты «правильно организованных» вычислительных процессов с точностью до используемых мер различимости совпадают с результатами, которые наблюдаются в природе [2].

«Обоснованность» использования вычислительных технологий для оценки состояния различных физических или технических систем можно доказать, используя утверждение лауреата Нобелевской премии Дж. А. Уильер - «it from bit», которое в метафорической форме подчеркивает тот факт, что на фундаментальном уровне процессы информационного и физического взаимодействия информационно неразличимы, т.е. вычислительно тождественны.

## 2. Суперкомпьютерные технологии как индикатор цифровизации экономики

С развитием суперкомпьютерных технологий, рейтинг которых оценивается по списку TOP 500 [5] возможности реализации научных и инженерных идей существенно расширились [3,6]. Суперкомпьютерное моделирование влияет на процессы цифровой трансформации как производства, так и экономики в целом (смотри Рис. 1).

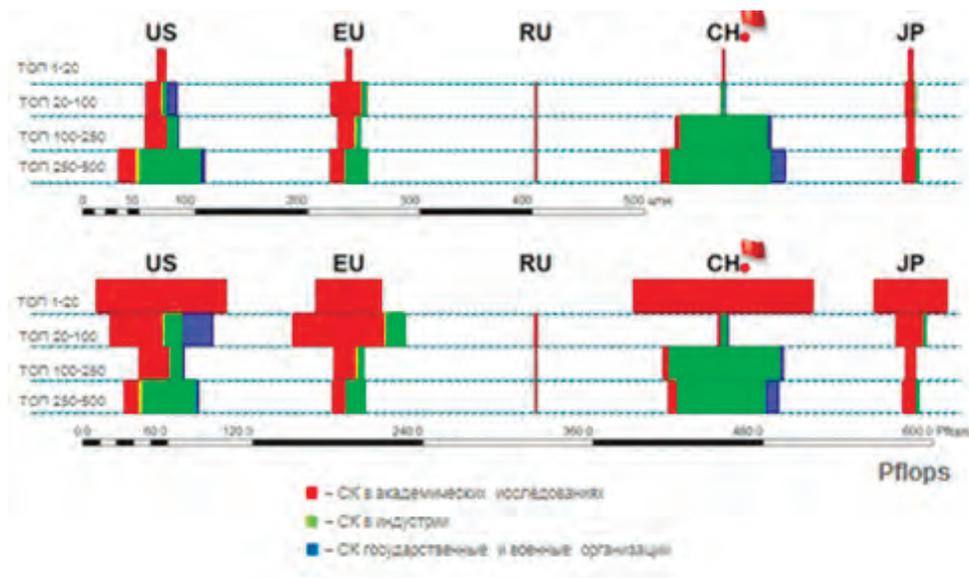


Рис. 1. Суперкомпьютерная инфраструктура мировой экономики

## Архитектура реконфигурируемой гетерогенной распределенной...

Эксперты [3,6] утверждают, что уже в 2020-2021 гг. наступит «постпетафлопый период» развития вычислительных технологий, который будет связан с созданием, а затем и применением, компьютеров с экза ( $10^{18}$ ) и даже зетта ( $10^{21}$ ) флопсами уровнями производительности, которые станут центрами нового «парадигмального» скачка, направленного на симбиоз компьютерного и человеческого интеллектов – основы экономики 21 века.

Создание и использование в промышленных масштабах систем искусственного интеллекта на базе суперкомпьютеров неотвратимо будет способствовать эволюции современного общества в направлении экономики, основанной на знаниях, как это определено в «Стратегии научно-технологического развития Российской Федерации».

В новых экономических условиях технологическая независимость, устойчивость инфраструктур и производственных систем будет основана на возможностях извлечения знаний из оперативно обрабатываемых данных с целью «вычисления» угроз и рисков, связанных с принятием тех или иных технических, экономических или военных решений.

Тренды перемещения центра тяжести суперкомпьютерных технологий в сторону промышленных приложений отражены на Рис.2.

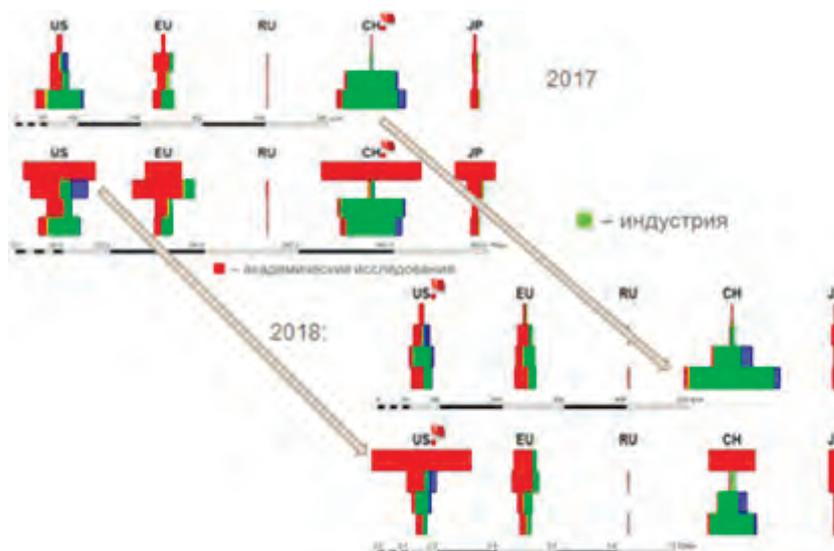


Рис. 2. Тренды цифровой трансформации и развитие экономики

Уже сейчас формирование новой системы знаний, материализованных в компьютерных программах или распределенных нейроморфных структурах, оказывает непосредственное влияние на развитие экономики путем сокращения издержек и повышения производительности труда. В этих условиях важнейшей составляющей цифровой экономики становится национальная суперкомпьютерная инфраструктура, объединяющая суперкомпьютерные системы четырех уровней производительности (высшая – первые 20 позиций, высокая – позиции с 20 по 100, средняя – с позиций 100 по

250 и начальная – с позиций 250 по 500 в рейтинге TOP 500).

Для объективной оценки влияния суперкомпьютерных технологий на валовый внутренний продукт (ВВП), который в стоимостном выражении характеризует суммарную стоимость изготовленных в стране товаров и услуг можно использовать величину «индекса цифровизации», который характеризует отношение доли страны в суммарной производительности суперкомпьютеров из списка TOP 500 к доли страны в мировом ВВП (см. рис. 3).

(А) Доли стран в суммарной производительности ( $\Sigma R_{max}$ ) суперЭВМ мира  
(В) Доли стран в мировом ВВП  
**(А/В) Индекс цифровизации — отношение (А/В)**

Страна	Доля $\Sigma R_{max}$ (А)	Доля $\Sigma ВВП$ (В)	Отношение А/В
Китай	31.11%	14.84%	2.10
США	37.64%	24.32%	1.55
Япония	7.74%	5.91%	1.31
Евросоюз	17.65%	21.37%	0.83
Россия	0.32%	1.8%	0.18

Индекс цифровизации России  
в 12 раз < чем у Китая;  
в 7 раз < чем у Японии,  
в 9 раз < чем у США;  
в 5 раз < чем у Евросоюза

Рис 3. Индексы цифровизации мировой экономики

Скорее всего, одним из факторов развития экономики Китая в среднем на 7% в год является массовое привлечение суперкомпьютеров среднего и начального уровня производительности в решение актуальных промышленных задач.

### 3. Архитектура реконфигурируемой гетерогенной распределенной суперкомпьютерной системы

Анализ развития компьютерных технологий показывает, что достичь высокой производительности и одновременно обеспечить защиту информационных

ресурсов от неавторизованного использования требует создания вычислительных структур нового поколения, построенных на основе принципов адаптивной реконфигурации аппаратного обеспечения, распределённой обработки больших объемов данных и интеллектуализации среды исполнения прикладных задач [7].

Современные высокопроизводительные вычислительные системы (HPC), такие как суперкомпьютеры [5], центры обработки данных, облачные сервисы становятся все более и более габаритными; потребляют все больше и больше энергии [8]. Эта тенденция приводит к увеличению необходимого для размещения HPC пространства, энергопотребления, стоимости развертывания и технического обслуживания систем HPC.

Современные требования к HPC: пиковая производительность, измеряемая в операциях с плавающей точкой в секунду (FLOPS); энергетическая эффективность (FLOPS /Вт); реальная производительность (реальный FLOPS / пиковый FLOPS); объемная эффективность (реальный FLOPS/м<sup>3</sup>) определяют эволюцию современных высокопроизводительных систем в гетерогенные HPC [9].

Современные гетерогенные HPC в основном используют графические процессоры общего назначения (GPGPUs) и прикладные интегральные схемы (ASIC) в качестве ускорителей для эффективного решения задач искусственного интеллекта (ИИ), машинного обучения (ML), Интернета вещей (IoT) и анализа Больших Данных [10].

Следующим шагом в развитии гетерогенных HPC систем являются реконфигурируемые, на аппаратном уровне, гетерогенные HPC [11].

Реконфигурируемые на аппаратном уровне вычислительные технологии основаны на использовании программируемых вентильных матриц (FPGA). FPGA представляет собой интегральную схему (ИС), которая может изменять свою внутреннюю структуру в соответствии с решаемой задачей. FPGA состоит из программируемых логических ячеек, которые могут выполнять любые функции логики/памяти, и программируемой матрицы (матрицы межсоединений), которая может соединять все логические ячейки вместе для реализации сложных функций. FPGA программируется или конфигурируется двоичным файлом, называемым конфигурационным файлом, который конфигурирует логические ячейки и матрицу соединений.

Конфигурационный файл настраивает логические ячейки и матрицу межсоединений таким образом, чтобы программируемая логическая интегральная схема (ПЛИС) могла реализовать решаемую задачу. Современная ПЛИС содержит не только логические ячейки и матрицу межсоединений, но и блоки цифровой обработки сигналов (DSP), блоки оперативной памяти (RAM), память с высокой пропускной способностью (HBM) на основе встроенных блоков памяти DDR, аппаратно реализованные контроллеры и приемопередатчики для внешней DDR-памяти, интерфейса PCIe, 100G Ethernet.

Современная FPGA может быть сконфигурирована «на лету». Это означает, что FPGA может быть сконфигурирована для решения новой задачи во время выполнения текущей задачи. FPGA также может быть частично сконфигурирована. Это означает, что часть FPGA может быть сконфигурирована для решения новой за-

дачи, в то время как остальная часть FPGA продолжает решать текущую задачу. И, кроме того, FPGA можно конфигурировать частично через PCIe и Ethernet. Это означает, что ускоритель PCIe на основе FPGA, развернутый на хосте, или удаленный ускоритель на основе FPGA, подключенный к хосту высокоскоростным каналом, например, 100G Ethernet, может быть динамически сконфигурирован «на лету» для решения конкретной задачи с эффективностью специализированной аппаратной реализации.

По сравнению с существующими Гетерогенными HPC системами, которые состоят из многоядерного процессора (ЦПУ), или кластера ЦПУ, и ускорителей на основе графических процессоров GPGPU, реконфигурируемые Гетерогенные HPC с помощью реконфигурируемых ускорителей на основе FPGA, способных удовлетворить требованиям конкретной задачи, позволяют решать задачи более эффективно с точки зрения таких критериев, как энергетическая эффективность (FLOPS /Вт); реальная производительность (реальный FLOPS / пиковый FLOPS); объемная эффективность (реальный FLOPS/м<sup>3</sup>).

В современном понимании система-на-кристалле (СНК) включает в себя: FPGA, которая часто упоминается в качестве логической части СНК; многоядерный процессор, часто упоминается в качестве процессорной части СНК; реализованный на кристалле GPU-ускоритель; разнообразные встроенные периферийные устройства, такие как, аппаратные контроллеры PCIe, USB3.0, MAC Ethernet, SATA, DDR4, SPI/QSPI, NAND, SD Card. Это означает, что современная СНК имеет реконфигурируемую гетерогенную архитектуру и может рассматриваться как миниатюрная реконфигурируемая Гетерогенная HPC система.

Современные FPGA, СНК и ускорители GPGPU позволяют использовать реконфигурируемую гетерогенную архитектуру для построения суперкомпьютеров, центров обработки данных и облачных сервисов (DC-Cloud), офисных компьютеров (Premises) и удаленных высокопроизводительных вычислительных систем (Edge).

Предлагаемая архитектура реконфигурируемой гетерогенной распределенной HPC системы представлена на рис. 4.

DC-Cloud RH HPC, изображенная на Рис.4 – реконфигурируемая гетерогенная HPC система уровня центра обработки данных и сервера облачных услуг. DC-Cloud RH HPC состоит из нескольких вычислительных кластеров (Computing Cluster) и одного кластера управления (Service Cluster). Каждый из кластеров состоит из нескольких идентичных вычислительных узлов (Computing Node) с многоядерным ЦПУ (MPU), одного или нескольких реконфигурируемых ускорителей на основе FPGA (RA) и одного или нескольких потоковых ускорителей Single Instruction Multiple Data (SIMD), которые обычно реализуются на базе серийно выпускаемых GPGPU. Вычислительные кластеры предназначены для решения вычислительных задач. Кластер управления обеспечивает интеллектуальное управление вычислительным процессом и аппаратной реконфигурацией вычислительных ресурсов под особенностью решаемой задачи. В его задачи в том числе входят:

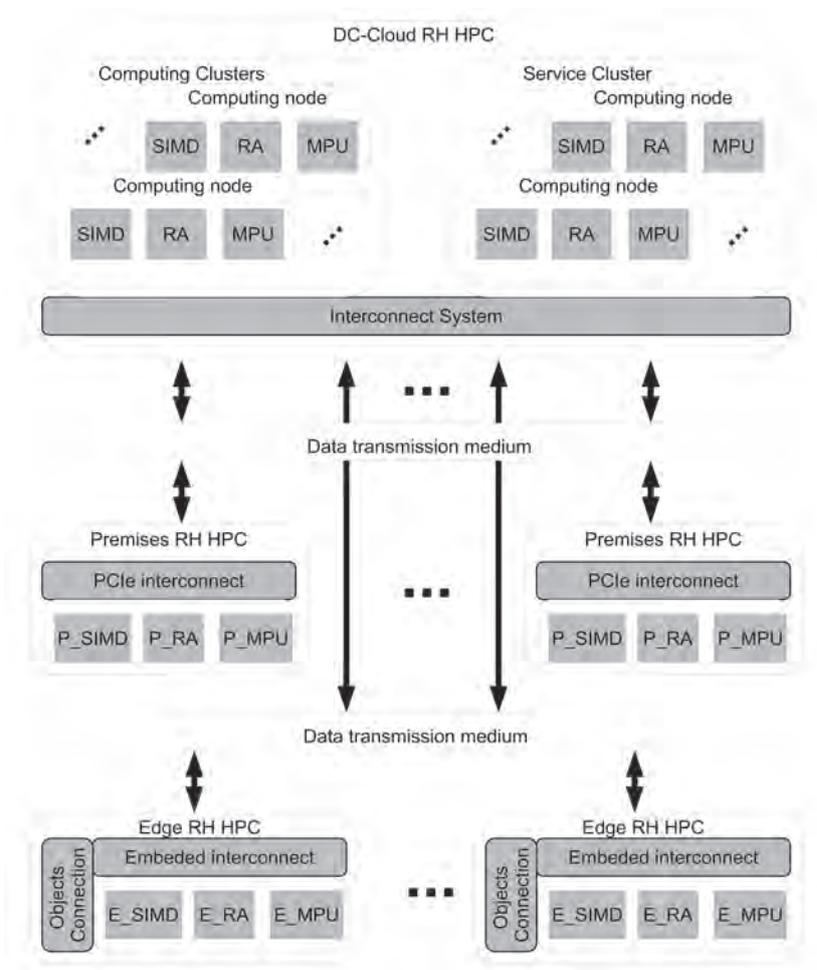


Рис. 4. Предлагаемая архитектура реконфигурируемой гетерогенной распределенной суперкомпьютерной системы

- оценка производительности всех вычислительных кластеров, как уровня центров обработки данных, так и удаленно подключенных;
- оптимальное, с точки зрения приведенных ранее критериев, распределение задач между доступными вычислительными ресурсами и аппаратная подстройка вычислительных ресурсов, как уровня центров обработки данных, так и удаленно подключенных, под решаемые задачи.

Узлы предлагаемой суперкомпьютерной платформы составляют основу всей вычислительной инфраструктуры и реализуются на основе т.н. «памяти-центрических» архитектур (Рис. 5). Такая архитектура позволяет расширить возможности гибридизации вычислительных структур не только за счет применения стандартных многоядерных микропроцессоров и различных ускорителей, но и использования аппаратно-программных ресурсов для обеспечения параллелизма решения прикладных задач на всех уровнях процессов обработки данных различными алгоритмами.

Предполагается, что среда передачи данных, указанная на рисунке 1, может представлять собой произвольную комбинацию проводных (со скоростью 1-100ГБИТ/С) и беспроводных (например, Bluetooth, WiFi, LTE, 5G) соединений, выбор которого зависит от характеристик решаемых задач и параметров удаленных объектов.

Предлагаемая архитектура Вычислительного узла (Computing Node) приведена на Рис.5.

Предлагаемая архитектура вычислительного узла содержит:

- Два многоядерных процессора (CPU). Каждый CPU сам по себе является многопроцессорным вычислительным устройством, содержащим несколько, до нескольких десятков, вычислительных ядер и некоторое количество встроенных контроллеров для высокоскоростного соединения с внешней динамической памятью, интерфейсом PCIe, соединениями Ethernet 1-100G и т. д. Процессоры должны иметь прямое подключение и реализовывать неравномерный доступ к памяти (NUMA).

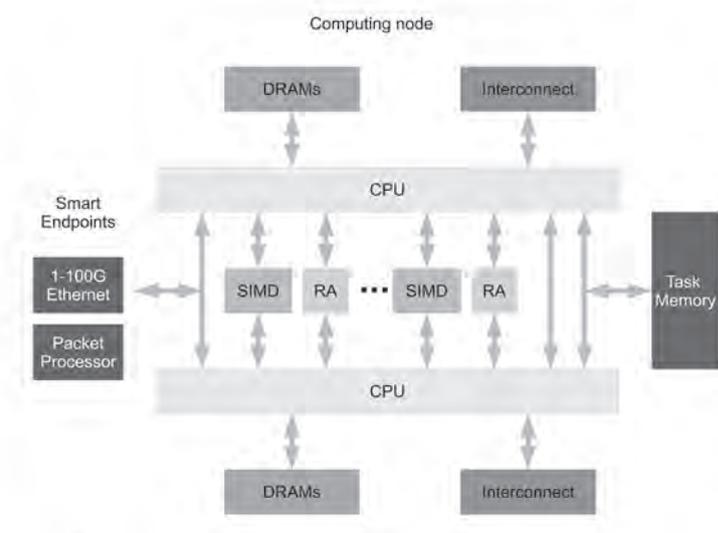


Рис. 5. Предлагаемая архитектура Вычислительного узла

- Блоки динамической оперативной памяти (DRAM), которые на физическом уровне являются модулями памяти DDR4. DRAM-это локальная память для каждого процессора, ширина, производительность и объем которой зависят от назначения, конкретных решаемых задач, желаемой производительности и потребляемой мощности вычислительного узла.
- Некоторое количество ускорителей SIMD. Каждый ускоритель SIMD должен иметь независимое соединение с каждым процессором в вычислительном узле. Независимое соединение смогло быть реализовано на базе обычного PCIe3.0 (PCIe4.0) x16\8 или же с использованием одного из стандартов OpenCAPI/CCIX/REG-Z или Compute eXpress Link (CXL).
- Некоторое количество аппаратно реконфигурируемых ускорителей RA. Каждый ускоритель RA должен иметь независимое соединение с каждым процессором в вычислительном узле. Независимое соединение смогло быть реализовано на базе обычного PCIe3.0 (PCIe4.0) x16\8 или же с использованием одного из стандартов OpenCAPI/CCIX/REG-Z или Compute eXpress Link (CXL). Основой этих стандартов является концепция «умной сетевой середины» высокоскоростных коммуникаций между всеми компонентами вычислительной инфраструктуры, включая оперативную память узлов, хранилища данных и устройства передачи данных.
- Оперативную память, представляющая собой оперативную память (ОЗУ) емкостью от 16 гбайт и производительностью, сопоставимой с памятью DDR4. Память задач должна быть подключена к каждому процессору, который может обращаться к памяти задач через PCIe3.0 (PCIe4.0)

интерфейсы или OpenCAPI / CCIX, реализуя единый доступ к памяти (UMA) на уровне задач.

- Межсоединения (Interconnect) – блоки межсоединений, которые являются локальными частями системы межсоединений, см. рис 4. Блоки межсоединений обеспечивают высокоскоростные проводные соединения между вычислительными узлами в вычислительном и сервисном кластерах и между кластерами. Каждый блок соединения должен содержать один или несколько разъемов, со скоростью подключения 100Гбит.
- Интеллектуальные каналы (Smart Endpoints) - интеллектуальные блоки для прямого, без использования процессоров, канала с внешним миром. Каждая интеллектуальный канал содержит один или несколько разъемов Ethernet\SFP\QSFP для реализации Ethernet подключений со скоростью 1-100G, контроллер физического уровня (PHY) и пакетный процессор, предназначенный для решения проблем безопасности и интеллектуальной обработки данных, в частности, извлечения из потока заданных данных для дальнейшей обработки, с эффективностью аппаратной реализации.

Предлагаемая архитектура вычислительного узла рассматривается как универсальная архитектура для построения вычислительных кластеров, сервисных кластеров и как базовая архитектура для реконфигурируемых гетерогенных HPC систем удаленных узлов обработки данных.

Premises RH HPC – реконфигурируемая гетерогенная HPC система удаленного узла обработки данных. В его состав входят: многоядерный ЦПУ (P\_MPU), реконфигурируемый ускоритель на основе FPGA (P\_RA) и потоковый ускоритель (P\_SIMD), который обычно реализуется на базе серийно выпускаемых GPGPU. Связь между вычислительными элементами узла осуществля-

## Архитектура реконфигурируемой гетерогенной распределенной...

ется по шине PCIe3.0x16 (PCIe4.0x16). Вычислительные кластеры предназначены для решения вычислительных задач. RH HPC может иметь структуру:

- идентичную структуре вычислительного узла DC-Cloud RH HPC. В этом случае P\_MPU, P\_RA, P\_SIMD идентичны MPU, RA, SIMD соответственно.
- специализированную, оптимизированную для решения определенных задач.

Edge RH HPC – реконфигурируемый гетерогенный HPC узел встраиваемой системы, подключаемой удаленно. В его состав входят: встраиваемый многоядерный ЦПУ (E\_MPU), встраиваемый реконфигурируемый ускоритель, реализуемый на логической части ЧИП (E\_RA) и встраиваемый потоковый ускоритель (E\_SIMD), которые обычно реализуются на базе серийно выпускаемых GPGPU. Поскольку Edge RH HPC предназначен для взаимодействия с датчиками и исполнительными механизмами, его важным элементом является блок подключения объекта (Object Connection).

Предлагаемая архитектура гетерогенного HPC узла встраиваемой системы (Edge RH HPC) приведена на Рис. 6.

быть реализован на отдельной интегральной схеме (FPGA), или на базе встроенной в ЧИП логической части.

- Блоки DRAMs, которые на физическом уровне являются модулями памяти DDR4. Блоки DRAMs – это локальная память для реконфигурируемого ускорителя и многоядерного процессора. Ширина, производительность, и объем памяти являются функцией, целей, решаемой задачи, требуемой производительности и энергопотребление.
- Пакетный процессор (Packet Processor), предназначенный для решения проблем безопасности и интеллектуальной обработки данных, например, извлечения данных для дальнейшей обработки с эффективностью аппаратной реализации. Пакетный процессор может быть реализован как отдельная ИС или развернут на логической части устройства ЧИП.
- Встроенную систему межсоединений (Embedded Interconnect), обеспечивающую связь между всеми элементами встраиваемой системы. Встроенная система межсоединения может быть реализована:

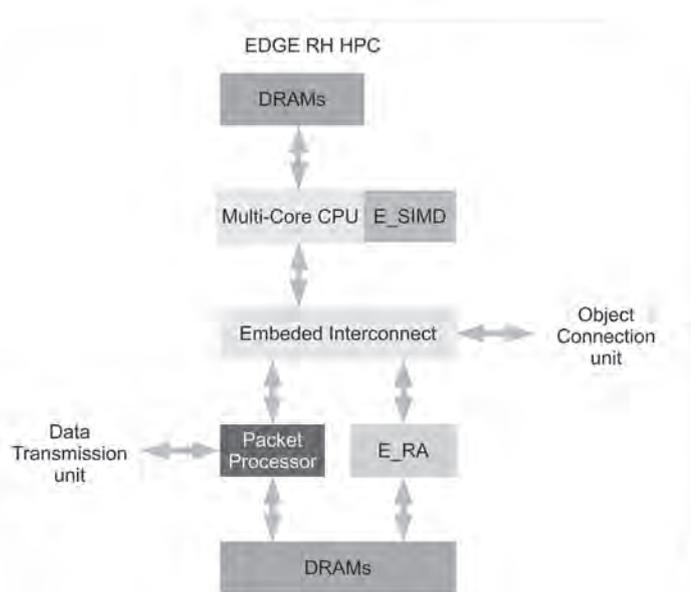


Рис. 6. Предлагаемая архитектура реконфигурируемого гетерогенного встраиваемого узла распределенной суперкомпьютерной системы

Предлагаемая архитектура Edge RH HPC содержит:

- Многоядерный процессор (Multy-Core CPU), который является основным процессором встроенной системы.
- Ускоритель E\_SIMD, который тесно связан с многоядерным процессором. Он может быть реализован на отдельной интегральной схеме (IC), или на базе встроенного в многоядерный процессор блока с GPGPU.
- Реконфигурируемый ускоритель E\_RA. Он может

- на базе интерфейса PCIe3.0 (PCIe4.0), если все E\_MPU, E\_RA, E\_SIMD, или некоторые из них, являются отдельными устройствами;
- на базе матрицы межсоединений FPGA, если все E\_MPU, E\_RA, E\_SIMD, реализованы в FPGA.
- Блок подключения объектов (Object Connection), который может содержать аналого-цифровые преобразователи (ADCs), цифроаналоговые преобразователи (DACs), цифровые входы/выходы

(DIO) и другие средства взаимодействия с подключенным объектом или объектами.

- Блок передачи данных (Data Transmission Unit), который является локальной частью системы передачи данных в распределенной вычислительной системе. Блок передачи данных должен обеспечивать произвольное сочетание проводных (со скоростью 1-100ГБИТ/с) и беспроводных (например: Bluetooth, WiFi, LTE, 5G) соединений. Выбор конкретных средств для передачи данных зависит от характеристик решаемых задач и параметров удаленных объектов.

Важным преимуществом предлагаемой распределенной архитектуры является ее «кроссплатформенность», т.е. возможность реализации на ЦПУ и вычислительных устройствах разных производителей, как иностранных, так и отечественных, например, используя процессоры Эльбрус.

Не претендуя на детальный обзор рынка готовых комплектующих, мы представляем основные идеи по выбору современных комплектующих для разработки систем RHD HPC.

Для разработки вычислительного узла предлагаются следующие наборы процессоров и ускорителей:

- Набор CN\_Set\_A: процессор - Power PC9 [12], SIMD ускоритель - NIDIA Tesla V100 [11]; реконфигурируемый ускоритель с реализацией OpenCAPI (PCIe4.0) [13] на основе FPGA Xilinx Virtex UltraScale+ [14];
- Набор CN\_Set\_B: процессор - Intel Xeon Platinum 9200 2-го поколения [15], SIMD ускоритель встроенный в процессор; реконфигурируемый ускоритель с реализацией CXT (PCIe 5.0) на основе FPGA Intel Agilex FPGA [16];
- Набор CN\_Set\_C: процессор - Huawei Kunpeng 920, SIMD ускоритель - Huawei Ascend 910; реконфигурируемый ускоритель с реализацией CCIX (или PCIe4.0) на основе FPGA Xilinx Virtex UltraScale+;
- Набор CN\_Set\_D: процессор - МЦСТ Эльбрус, SIMD ускоритель - любой PCIe2.0 GPGPU; реконфигурируемый ускоритель на основе FPGA Intel (AriaV, Aria10, StratixV, и Stratix10) или FPGA Xilinx (Kintex UltraScale или Virtex UltraScale).

Предлагаемые наборы – это далеко не полный список доступных вариантов для реализации предлагаемой архитектуры реконфигурируемой гетерогенной распределенной суперкомпьютерной системы. В зависимости от целей, желаемых функций и конкретных задач разработчики могут подобрать и другие комбинации компонентов.

Использование стандарта OpenCL, который поддерживается со стороны крупнейших производителей процессоров и вычислительных систем, при создании системного и прикладного программного обеспечения (ПО) реконфигурируемой гетерогенной распределенной HPC, позволяет, не внося существенных изменений в ПО, «на лету» заменять или реконфигурировать используемые ускорители, учитывая контекст обрабатываемых данных и особенности реализуемых вычис-

лительных процессов [7, 17].

В результате на уровне каждого вычислительного и управляющего узла реконфигурируемой гетерогенной распределенной суперкомпьютерной платформы можно за счет ресурсов памяти и процессоров применяемых ускорителей реализовать алгоритмы вычисления дескрипторов состояний процессов, представив их в форме свертки атрибутов отдельных потоков на уровне ядер микропроцессоров и контроллеров межсетевого взаимодействия. Вычисляемые дескрипторы могут быть использованы в репозиториях алгоритмов машинного обучения и оперативной реконфигурации встроенных в узлы платформы нейроморфных средств обеспечения безопасности, используя для этого возможности современных FPGA и систем на кристалле.

Таким образом, прикладные и системные процессы, протекающие во всех узлах распределенной платформы, образуют общее распределенное пространство «больших данных», что позволяет оперативно классифицировать процессы по степени их влияния на уровень безопасности функционирования инфраструктуры в целом, наделяя ее свойствами иммунной системы. Вычисляя «персональные» значения дескрипторов безопасности runtime, система реализует требования политики безопасности, которая учитывает опыт ранее успешно реализованных действий.

Решение перечисленных выше задач требует гетерогенных вычислительных ресурсов, применения аппаратных ускорителей и новых технологий обмена данными с использованием оперативной памяти с различными методами доступа. Однако существующие стандарты и традиционная архитектура компьютерных подсистем ввода-вывода не ориентированы на организацию глобальной среды распределенных вычислений. Однако стандарты нового поколения открытых архитектур (Рис 8) позволяют в рамках сетевой инфраструктуры «интернет вещей» повысить эффективность информационного обмена.

Таким образом, развитие национальной суперкомпьютерной инфраструктуры на основе предложенной архитектуры реконфигурируемой гетерогенной распределенной вычислительной платформа может учесть все требования по производительности, защищенности и энерго-вычислительной эффективности различных приложений, а создаваемые аппаратно-программные компоненты адаптированы под все классы вычислительных задач, что позволит ускорить процессы цифровой трансформации, повысить уровень технологической независимости и значение индекса цифровизации отечественной экономики, гарантируя при этом высокий уровень защищенности используемых ресурсов.

Работа выполнена при поддержке гранта РФФИ 16-29-15121 «Разработка математических моделей и программных средств для моделирования ядра методами молекулярной динамики с использованием супер-ЭВМ».

#### 4. Выводы

Эффективность процессов «цифровой трансформации» может оцениваться индексом цифровизации экономики страны, а именно (A/B), где A- доля страны в

суммарной производительности суперЭВМ из списка ТОП 500, В - доля стран в мировом ВВП.

В глобальной цифровой экономике проблема информационной безопасности и технологической независимости тесно связаны. Без создания системного программного обеспечения и электронной компонентной базы «суперкомпьютерного класса», реализация положений «Стратегии научно-технологического развития Российской Федерации» невозможна.

Применение технологий машинного обучения и искусственного интеллекта на уровне управления промышленными предприятиями и процессами, требует создания национальной суперкомпьютерной инфраструктуры, что открывает перспективы для отечественной экономики достигнуть к 2025 г значения «индекса цифровизации» близкого к «1».

### Литература

1. Самарский А. А. Прямой расчет мощности взрыва // Международный симпозиум: «Наука и общество: история советского атомного проекта/ Труды ИСАП-96.-М.: ИздАТ. 1997. 608с, Часть 1, с.214-223.
2. Васильев Ю.С., Корнеев В. Г.. Третий компонент познания – научные компьютерные супервычисления. Учен. зап. Казан. гос. ун-та. Сер. Физ.-матем. науки, 2007, том 149, книга 4, 6-32 с.
3. Абрамов С. М. Наука и жизнь, Суперкомпьютеры: обратные рекорды // Электронный ресурс в сети интернет <https://www.nkj.ru/archive/articles/35326/>
4. Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И. Развитие отечественных многокристалльных реконфигурируемых вычислительных систем: от воздушного к жидкостному охлаждению //Труды СПИИРАН. 2017. Вып. 1, 2017. с. 27-39.
5. Top 500 list [Электронный ресурс] // URL:<https://www.top500.org/> – Электрон. текстовые, граф. дан.(дата обращения: 01.06.2019)
6. Абрамов С. М. Top500 Analyzer — программа для анализа данных рейтинга Top500 // Электронный ресурс в сети интернет <https://goo.gl/Mr89Ho>.
7. Антонов А. П., Заборовский В. С., Киселев И. О. Специализированные реконфигурируемые вычислители в сетевых суперкомпьютерных системах. // Системы высокой доступности. т.14. вып. 3. 2018. <http://www.radiotec.ru/article/22229>
8. Mantovani F., Calore E. Performance and Power Analysis of HPC Workloads on Heterogeneous Multi-Node Clusters. J. Low Power Electron. Appl. 2018, 8, 13. <https://doi.org/10.3390/jlpea8020013>
9. M. Usman Ashraf, Fathy Alburaei Eassa and Aiiad Ahmad Albeshri and Abdullah Algarni. Performance and Power Efficient Massive Parallel Computational model for HPC Heterogeneous Exascale Systems. IEEE Access PP (99):1-1. April 2018.
10. DOI: 10.1109/ACCESS.2018.2823299
11. Kobayashi, Ryohei & Oobata, Yuma & Fujita, Norihisa & Yamaguchi, Yoshiki & Boku, Taisuke. (2018). OpenCL-ready High Speed FPGA Network for Reconfigurable High Performance Computing. 192-201. 10.1145/3149457.3149479.
12. NVIDIA Tesla V100. [Online]. Available: <https://www.nvidia.com/en-us/data-center/tesla-v100/>
13. IBM PowerPC9. [Online]. Available: <https://www.ibm.com/it-infrastructure/power/power9>
14. OpenCAPI. [Online]. Available: <https://opencapi.org/>
15. Xilinx FPGA. [Online]. Available: <https://www.xilinx.com/>
16. Intel Xeon. [Online]. Available: <https://www.intel.com/content/www/us/en/products/docs/processors/xeon/2nd-gen-xeon-scalable-processors-brief.html>
17. Intel FPGA. [Online]. Available: <https://www.intel.com/content/www/us/en/products/programmable.html>
18. Zaborovsky V. S., Mulukha V. A. , etc Preemptive Queuing System with Randomized Push-Out Mechanism //Communications in Nonlinear Science and Numerical Simulation, Volume 21, Issues 1–3, April 2015, Pages 147–158

# ARCHITECTURE OF RECONFIGURABLE HETEROGENEOUS DISTRIBUTED SUPERCOMPUTER SYSTEM FOR SOLVING PROBLEMS OF INTELLIGENT DATA PROCESSING IN THE ERA OF DIGITAL TRANSFORMATION OF THE ECONOMY

*I. A. Kalyaev<sup>4</sup>, V. S. Zaborovsky<sup>5</sup>, A. P. Antonov<sup>6</sup>*

4 Igor Kalyaev, Dr.Sc., Professor, academician of RAS, scientific works 300, field of scientific research – reconfigurable information-control multiprocessor computing and control systems. Rostov-on-don, Russia. E-mail: [kaliaev@niimvus.ru](mailto:kaliaev@niimvus.ru)

5 Alexander Antonov, Ph.D., associate Professor; 25 scientific papers; field of scientific research – reconfigurable computer systems. SPbPU, St. Petersburg, Russia. Email: [antonov@eda-lab.ftk.spbstu.ru](mailto:antonov@eda-lab.ftk.spbstu.ru)

6 Vladimir Zaborovsky, Dr.Sc, Professor, scientific Director of the Institute of computer science and technology; 50 scientific works; field of research – mathematics and computer science. SPbPU, St. Petersburg, Russia. E-mail: [vladimir.zaborovsky@spbstu.ru](mailto:vladimir.zaborovsky@spbstu.ru)

**Annotation**

**The purpose of the article:** to consider the relevance, possibility and ways of creating a reconfigurable heterogeneous distributed supercomputer system that provides a solution of problems of intellectual, based on Artificial Intelligence, processing of “big data”, optimization and management of cyberphysical systems. To substantiate the features of the current stage of digital transformation of the economy of hybrid computing systems designed for intellectual.

**Method:** theoretical and experimental analysis of the development of the architecture of the hybrid supercomputer center “Polytechnic”, consisting of various high-performance subsystems, in the direction of distributed heterogeneous reconfigurable computing infrastructure, operating under the control of the Executive system, endowed with the functions of training and “computing” in real-time States – carriers of potential threats to cybersecurity.

**The obtained result:** the necessity of creation of new supercomputer systems and digitalization of economies is substantiated; the architecture of reconfigurable heterogeneous distributed supercomputer system and its subsystems is proposed; the ways of implementation of the proposed architecture based on existing on the market element base and ready devices are shown.

**Keywords:** heterogeneous supercomputing systems, OpenCL, reconfigurable computing, architecture for supercomputer systems, FPGA, cyber-physical systems, cybersecurity, Artificial Intelligence.

**References**

1. Samarskiy A. A. Direct calculation of explosion power // international Symposium: “Science and society: the history of the Soviet nuclear project/ Proceedings of ISAP-96.-M.: Izdat. 1997.- 608c, Part 1, pp. 214-223.
2. Vasiliev Y. S., Korneev V. G.. The third component of cognition is scientific computer supercomputing, Scientific. zap. Cauldron. state UN-TA. Ser. Phys.-mod. Sciences, 2007, volume 149, book 4, 6-32 p.
3. Abramov S. M. Science and life, Supercomputers: reverse records// Electronic resource on the Internet <https://www.nkj.ru/archive/articles/35326/>
4. Kalyaev I. A., Levin I. I., Semernikov E. A., Shmoilov V. I. Development of domestic multi-crystal reconfigurable computing systems: from air to liquid cooling://Proceedings of spiiran. 2017. Issue. 1, - 2017. – p. 27-39.
5. Top 500 list [Electronic resource]//URL:<https://www.top500.org/> – Electron. text, graphic data.(date accessed: 01.06.2019)
6. Abramov S. M. Top500 Analyzer — program for analysis of TOP500 rating data // Electronic resource on the Internet <https://goo.gl/Mr89Ho>
7. Antonov A.P., Zaborovskiy V.S., Kiselev I.O. The reconfigurable computational modules in network-centric supercomputer systems. Highly available systems Journal, 2018, Vol.14 issue 3. Pp 57-62. [Online]. Available: <http://www.radiotec.ru/article/22229>
8. Mantovani, F.; Calore, E. Performance and Power Analysis of HPC Workloads on Heterogeneous Multi-Node Clusters. J. Low Power Electron. Appl. 2018, 8, 13. <https://doi.org/10.3390/jlpea8020013>
9. M. Usman Ashraf, Fathy Alburai Eassa and Aiiad Ahmad Albeshri and Abdullah Algarni. Performance and Power Efficient Massive Parallel Computational model for HPC Heterogeneous Exascale Systems. IEEE Access PP (99):1-1. April 2018. DOI: 10.1109/ACCESS.2018.2823299
10. Kobayashi, Ryohei & Oobata, Yuma & Fujita, Norihisa & Yamaguchi, Yoshiki & Boku, Taisuke. (2018). OpenCL-ready High Speed FPGA Network for Reconfigurable High Performance Computing. 192-201. 10.1145/3149457.3149479.
11. NVIDIA Tesla V100. [Online]. Available: <https://www.nvidia.com/en-us/data-center/tesla-v100/>
12. IBM PowerPC9. [Online]. Available: <https://www.ibm.com/it-infrastructure/power/power9>
13. OpenCAPI. [Online]. Available: <https://opencapi.org/>
14. Xilinx FPGA. [Online]. Available: <https://www.xilinx.com/>
15. Intel Xeon. [Online]. Available: <https://www.intel.com/content/www/us/en/products/docs/processors/xeon/2nd-gen-xeon-scalable-processors-brief.html>
16. Intel FPGA. [Online]. Available: <https://www.intel.com/content/www/us/en/products/programmable.html>
17. Zaborovskiy V. S., Mulukha V. A. , etc Preemptive Queuing System with Randomized Push-Out Mechanism //Communications in Nonlinear Science and Numerical Simulation, Volume 21, Issues 1–3, April 2015, Pages 147–158

